

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-503359

(43) 公表日 平成9年(1997)3月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I
H 0 3 M 13/12		8732-5K	H 0 3 M 13/12
H 0 4 J 13/00		9371-5K	H 0 4 L 1/20
H 0 4 L 1/20		9199-5K	25/08
25/08		8949-5K	H 0 4 J 13/00
			B
			A

審査請求 未請求 予備審査請求 有 (全 69 頁)

(21) 出願番号 特願平7-509949
 (86) (22) 出願日 平成6年(1994)9月23日
 (85) 翻訳文提出日 平成8年(1996)3月25日
 (86) 国際出願番号 PCT/US94/10774
 (87) 国際公開番号 WO95/08888
 (87) 国際公開日 平成7年(1995)3月30日
 (31) 優先権主張番号 126, 477
 (32) 優先日 1993年9月24日
 (33) 優先権主張国 米国 (US)

(71) 出願人 クゥアルコム・インコーポレイテッド
 アメリカ合衆国、カリフォルニア州
 92121、サン・ディエゴ、ラスク・プール
 バード 6455
 (72) 発明者 キンドレッド、ダニエル・レイ
 アメリカ合衆国、カリフォルニア州
 92104、サン・ディエゴ、テキサス・スト
 リート 3405
 (72) 発明者 パトラー、ブライアン・ケー
 アメリカ合衆国、カリフォルニア州
 92126、サン・ディエゴ、カルストン・ウ
 エイ 10727
 (74) 代理人 弁理士 鈴江 武彦 (外3名)

最終頁に続く

(54) 【発明の名称】 コード分割多元接続システム適用に対する多重レートシリアルビタビ復号器

(57) 【要約】

コード分割多元接続 (CDMA) 移動通信システム (22) 中のコードシンボルストリームとして畳込み符号化されたオリジナルビットデータストリームを復元するビタビ復号器 (20)。復号器 (20) はある多重レートボコーダに関係するいくつかのデータレートで同時に復号化する。復号器 (20) は連続的またはフレーム処理されたパケットモードのいずれかにおける、知られていないデータレートで復号化することができる。多重レートで同時に復号化し、復号化データパケットのそれぞれに対する1以上のデータ品質メトリックを生成することにより復号器はこれを達成する。復号器 (50) をシステムタイミングの制限から分離するために特別な入力および出力バッファ処理が設けられる。低いフレームデータレートにおける、反復モードまたはランダムパーストモードに対して、コードシンボルデータをパケット順序に構成するために、入力バッファ (48) は選択および累積論理回路を含む。いくつかの予め定められたデータ転送レートのそれぞれに対する復号化データパケットが、復号化サイクルの約半分に対して出力バッファに保持され、それによ

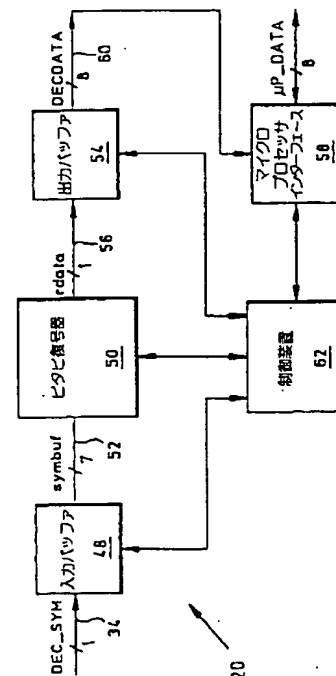


FIG. 5

【特許請求の範囲】

1. 2以上の予め定められたオリジナルビットデータレート R_i の1つのデータレート R_i を有するオリジナルビットデータを表しているコードシンボルデータの送信に応答して、復号化ビットデータを提供し、入力バッファ、復号器、および出力バッファを含む復号器装置を使用して実行可能な方法において、

前記入力バッファ中の前記コードシンボルデータの前記送信の連続部分を受信して記憶し、

前記復号器中の前記連続部分の任意の部分を復号化して、復号化ビットデータの2以上のパケット(P_i)にし、

前記出力バッファに前記2以上のパケットを記憶するステップを含み、

各パケット P_i は、

前記データレート R_i を有するオリジナルビットデータに対応する復号化ビットデータ I_i と、

前記任意の部分中のシンボルエラー状態と前記復号化ビットデータ中のデータエラー状態とを表している品質メトリックデータ Q_i とを含む方法。

2. 前記復号器は、畳込み復号器である請求項1記載の方法。

3. 前記受信して記憶するステップの前に、予め定められた持続時間のフレーム中の前記コードシンボルデータを送信するステップをさらに含む請求項1記載の方法。

4. 前記コードシンボルデータの前記連続フレームのそれぞれの間の遷移を予め定められた状態にする請求項3記載の方法。

法。

5. 前記復号化ビットデータの前記各フレーム中のデータエラー状態を表している前記品質メトリックデータ Q_i は、

予め定められた品質しきい値(QT)と、前記復号化ビットデータの連続フレーム間の前記各遷移において、ゼロ状態を復号化する確率の尺度との間の比較結果を表している品質メトリック(QM)を含んでいる請求項4記載の方法。

6. 前記コードシンボルデータは、コード化アルゴリズムにしたがった前記オリ

ジナルビットデータを表しており、

ローカルコードシンボルデータの packets (L_i) を生成するために、前記コード化アルゴリズムにしたがって、2 以上の前記復号化ビットデータ packets (P_i) のそれぞれを再コード化し、

前記コードシンボルデータを、前記 2 以上のローカルコードシンボルデータ packets (L_i) のそれぞれと比較して、それらの間の差の数の品質尺度 (Q_i) を生成し、

前記出力データバッファ中に 2 以上品質尺度 (Q_i) を記憶するステップをさらに含む請求項 4 記載の方法。

7. 第 1 のビットデータレートを有するデータのフレームが、それぞれの packets の巡回冗長検査ビットを含んでいる、符号化データビットの packets を含み、前記巡回冗長検査ビットを使用して、データビットの前記 packets に対するエラーレートを決定し、

前記エラーレートを示している品質尺度 (Q_i) を生成し、

前記出力バッファ中に 2 以上の品質尺度 (Q_i) を記憶す

る付加的な順序付けられていないステップを含む請求項 4 記載の方法。

8. 2 以上の予め定められたオリジナルビットデータレートの 1 つのデータレート R_i を有するオリジナルビットデータを表しているコードシンボルデータの送信に応答して、復号化ビットデータを提供する多重レート復号器において、

前記コードシンボルデータの前記送信の連続部分を受信して記憶する入力バッファ手段と、

前記入力バッファ手段に結合され、前記連続部分の任意の部分を復号化して、復号化ビットデータの 2 以上の packets (P_i) にする復号器手段と、

前記復号器手段に結合され、前記 2 以上の packets を記憶する出力バッファ手段とを具備し、

各 packets P_i は、

データレート R_i を有するオリジナルビットデータに対応する復号化ビットデータ I_i と、

前記コードシンボルデータ中のシンボル品質状態と前記復号化ビットデータ中のデータ品質状態とを表している品質メトリックデータ Q_i とを含む多重レート復号器。

9. 前記コードシンボルデータが予め定められた持続時間のフレームで送信される請求項8記載の多重レート復号器。

10. 前記コードシンボルデータが、コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項9記載の多重レート復号器。

11. 前記コードシンボルデータの前記連続フレームのそれぞれ

の間の遷移が、予め定められた状態にされる請求項10記載の多重レート復号器。

12. 前記復号器手段に結合され、予め定められた品質しきい値(QT)と、前記復号化ビットデータの連続フレーム間の前記各遷移において、前記ゼロ状態を復号化する確率の尺度との間の比較結果を表しているヤマモト品質メトリック(YQM)を生成する品質メトリック手段をさらに具備する請求項10記載の多重レート復号器。

13. 第1のコード化アルゴリズムにしたがったオリジナルビットデータを表しているコードシンボルデータが、第1のモードの連続的か、または第2のモードの予め定められた持続時間のフレーム形態のいずれかで、第1の複数の予め定められたオリジナルビットデータレート(R_i)の1つで1以上のチャンネルにおいて送信され、前記フレームのそれぞれは、コード化オリジナルビットデータの第1のバージョンおよび(N_i-1)回反復バージョンを表している通信システムにおいて、前記オリジナルビットデータの前記第1のバージョンに対応する復号化ビットデータを生成することにより、前記コードシンボルデータから前記オリジナルビットデータを復元する方法が、

(a) 入力データバッファ中にコードシンボルデータの1以上の前記フレームを受信して記憶し、

(b) 2以上の前記第1の複数の予め定められたオリジナルビットデータレート(R_i)のそれぞれに対応する前記復号化ビットデータの packets (P_i)を生

成するために、前

記コードシンボルデータを復号化し、

(c) 出力データバッファ中に前記 2 以上の復号化ビットデータ packets (P_i) を記憶する、順序付けられていないステップを含む方法。

14. (d) ローカルコードシンボルデータの packets (L_i) を生成するために、前記第 1 のコード化アルゴリズムにしたがって前記 2 以上の復号化ビットデータ packets (P_i) のそれぞれを再コード化し、

(e) 前記コードシンボルデータを、前記 2 以上のローカルコードシンボルデータ packets (L_i) のそれぞれと比較して、それらの間の差の数の品質尺度 (Q_i) を生成し、

(f) 前記出力データバッファ中に前記 2 以上の品質尺度 (Q_i) のそれぞれを記憶する、付加的な順序付けられていないステップを含む請求項 13 記載の方法。

15. 前記シーケンシャル復号化ステップ (b) は、

(b.1) 第 2 のコード化アルゴリズムにしたがって、1 以上のシンボルメトリック値を、前記コードシンボルデータのそれぞれに割当て、

(b.2) 前記シンボルメトリック値の選択されたものにしたがって、前記コードシンボルデータのそれぞれに対応するオリジナルデータビット遷移確率を表している分岐メトリック値を割当て、

(b.3) 前記状態メトリック値の前の最も可能性あるものと、前記分岐メトリック値との合計にしたがって、前記コードシンボルデータに対応するオリジナルデータビット遷移確

率を表している状態メトリック値を割当て、

(b.4) パスメモリ中に前記状態メトリック値を記憶し、

(b.5) 前記パスメモリ中の前記各コードシンボルに対応する、最も可能性がある前記状態メトリック値の前の判定パスチェーンに対応する、最も可能性がある前記状態メトリック値にしたがって、前記オリジナルデータビットに対して最

も可能性ある値を選択する、順序付けられていないステップを含む請求項14記載の方法。

16. 前記コードシンボルデータが、前記オリジナルビットデータレート (R_i) の1つで前記第1のモードにおいて連続的に送信される請求項15記載の方法。

17. 前記コードシンボルデータが、前記コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項16記載の方法。

18. コードシンボルデータが、完全にコード化された第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項16記載の方法。

19. 前記コードシンボルデータが、前記オリジナルビットデータレート (R_i) の1つで前記第1のモードにおいて連続的に送信される請求項14記載の方法。

20. 前記コードシンボルデータが、前記各コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項14記載の方法。

21. コードシンボルデータが、完全にコード化された第1の

オリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項14記載の方法。

22. 前記コードシンボルデータが、前記オリジナルビットデータレート (R_i) の1つで前記第1のモードにおいて連続的に送信される請求項12記載の方法。

23. 前記復号化ステップ (b) は、

(b.1) 第2のコード化アルゴリズムにしたがって、1以上のシンボルメトリック値を、前記コードシンボルデータのそれぞれに割当て、

(b.2) 前記シンボルメトリック値の選択されたものにしたがって、前記コードシンボルデータのそれぞれに対応するオリジナルデータビット遷移確率を表している分岐メトリック値を割当て、

(b.3) 前記状態メトリック値の前の最も可能性あるものと、前記分岐メトリック値との合計にしたがって、前記コードシンボルデータに対応するオリジナルデータビット遷移確率を表している状態メトリック値を割当て、

(b.4) パスメモリ中に前記状態メトリック値を記憶し、

(b.5) 前記パスメモリ中の前記各コードシンボルに対応する、最も可能性のある前記状態メトリック値の前の判定パスチェーンに対応する、最も可能性のある状態メトリック値にしたがって、前記オリジナルデータビットのそれぞれに対して最も可能性ある値を選択する、順序付けられていないステップを含む請求項13記載の方法。

24. 前記コードシンボルデータが、前記コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項13記載の方法。

25. コードシンボルデータが、完全にコード化された第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項13記載の方法。

26. 第1のコード化アルゴリズムにしたがったオリジナルビットデータを表しているコードシンボルデータが、第1のモードの連続的か、または第2のモードの予め定められた持続時間のフレーム形態のいずれかで、第1の複数の予め定められたオリジナルビットデータレート (R_i) の任意の1つで送信され、前記フレームのそれぞれは、コード化オリジナルビットデータの第1のバージョンおよび反復バージョンを表している通信システムにおける、出力において前記コード化オリジナルビットデータの前記第1のバージョンに対応する復号化ビットデータを生成する多重レート復号器において、

前記コードシンボルデータの1以上の前記フレームを受入れて記憶する入力バッファ手段と、

前記入力バッファ手段に結合され、前記コードシンボルデータに応答して、2以上の前記予め定められたオリジナルビットデータレート (R_i) のそれぞれに対応する復号化ビットデータの packets (P_i) を生成する復号器手段と、

前記シーケンシャル復号器手段に結合され、前記復号化ビットデータの前記2以上の復号化ビットデータ packets $(P$

$i)$ を記憶する出力バッファ手段とを具備する多重レート復号器。

27. 2以上の前記予め定められたオリジナルビットデータレート (R_i) のそれぞれに対する前記コード化オリジナルビットデータの第1のバージョンに対応する1組の前記コードシンボルデータ (S_i) を選択し、前記シーケンシャル復号器手段に対して前記1組の前記コードシンボルデータ (S_i) を転送する、前記入力バッファ手段中のシンボル転送手段をさらに具備する請求項26記載の多重レート復号器。

28. 前記復号化ビットデータパケット (P_i) のそれぞれに対する品質尺度 (Q_i) を生成する、前記復号器手段中の品質メトリック手段をさらに具備し、前記品質尺度 (Q_i) が、前記各復号化データビットパケット (P_i) に関係したコードシンボルデータエラーの数を表している請求項27記載の多重レート復号器。

29. 前記品質メトリック手段が、

ローカルコードシンボルデータのパケット (L_i) を生成するために、前記第1のコード化アルゴリズムにしたがって、前記2以上の復号化ビットデータパケット (P_i) のそれぞれを再コード化するデータ再コード器手段と、

前記データ再コード器手段に結合され、前記1組のコードシンボルデータ (S_i) を、前記ローカルコードシンボルデータパケット (L_i) のそれぞれと比較し、それらの間の差の数をカウントする比較手段とを具備する請求項28記載の多重レート復号器。

30. 前記復号器手段が、

第2のコード化アルゴリズムにしたがって、シンボルメトリック値を前記コードシンボルのそれぞれに割当てするシンボルメトリック手段と、

前記シンボルメトリック手段に結合され、対応する前記シンボルメトリック値に応答して、前記入力バッファ手段からの前記各コードシンボルに対応するオリジナルデータビット遷移に対する重み付けられた確率を表している分岐メトリック値対を生成する分岐メトリック計算手段と、

前記分岐メトリック計算手段に結合され、対応する前記分岐メトリック値に応答して、前記入力バッファからの前記各コードシンボルに対応する可能性あるオリジナルデータビット遷移のそれぞれに対する状態メトリック判定値を生成して

記憶する判定パス手段と、

前記判定パス手段に結合され、前記オリジナルデータビット遷移のそれぞれに対する最も可能性ある判定パスを選択し、対応する前記復号化データビットを生成するパスチェーンバック手段とを具備する請求項29記載の多重レート復号器。

31. 実質的に単一のモノリシック集積回路に具体化される請求項30記載の多重レート復号器。

32. 前記コードシンボルデータが、前記各コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項31記載の多重レート復号器。

33. 前記コードシンボルデータが、完全にコード化された第1のオリジナルビットデータバージョンの (N_i-1) 回反復

シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項31記載の多重レート復号器。

34. 前記復号化ビットデータパケット (P_i) のそれぞれに対する品質尺度 (Q_i) を生成する、前記復号器手段中の品質メトリック手段をさらに具備し、前記品質尺度 (Q_i) が、前記各復号化データビットパケット (P_i) に関係したコードシンボルデータエラーの数を表している請求項26記載の多重レート復号器。

35. 前記品質メトリック手段が、

ローカルコードシンボルデータの packets (L_i) を生成するために、前記第1のコード化アルゴリズムにしたがって、前記2以上の復号化ビットデータパケット (P_i) のそれぞれを再コード化するデータ再コード器手段と、

前記データ再コード器手段に結合され、前記1組のコードシンボルデータ (S_i) を、前記ローカルコードシンボルデータ packets (L_i) のそれぞれと比較し、それらの間の差の数をカウントする比較手段とを具備する請求項34記載の多重レート復号器。

36. 前記コードシンボルデータが、前記各オリジナルビットデータの一連の N_i 個の複製を表している請求項35記載の多重レート復号器。

37. 前記コードシンボルデータが、完全な第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全な第1のオリジナルビットデ

ータバージョンを表

している請求項35記載の多重レート復号器。

38. 前記コードシンボルデータが、前記各オリジナルデータビットの一連の N_i 個の複製を表している請求項26記載の多重レート復号器。

39. 前記コードシンボルデータが、完全な第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全な第1のオリジナルビットデータバージョンを表している請求項26記載の多重レート復号器。

40. 前記復号器手段が、

第2のコード化アルゴリズムにしたがって、シンボルメトリック値を前記コードシンボルのそれぞれに割当ててシンボルメトリック手段と、

前記シンボルメトリック手段に結合され、対応する前記シンボルメトリック値に応答して、前記入力バッファ手段からの前記各コードシンボルに対応するオリジナルデータビット遷移に対する重み付けられた確率を表している分岐メトリック値対を生成する分岐メトリック計算手段と、

前記分岐メトリック計算手段に結合され、対応する前記分岐メトリック値に回答して、前記入力バッファからの前記各コードシンボルに対応する可能性あるオリジナルデータビット遷移のそれぞれに対する状態メトリック判定値を生成して記憶する判定パス手段と、

前記判定パス手段に結合され、前記オリジナルデータビット遷移のそれぞれに対する最も可能性ある判定パスを選択し、対応する前記復号化データビットを生成するパスチェンバ

ック手段とを具備する請求項26記載の多重レート復号器。

41. 実質的に単一のモノリシック集積回路に具体化される請求項26記載の多重レート復号器。

42. コードシンボルデータが、第1のコード化アルゴリズムにしたがったオリジナルビットデータを表しており、前記コードシンボルデータが、第1のモードの連続的か、または第2のモードの予め定められた持続時間のフレーム形態のいず

れかで、第1の複数の予め定められたオリジナルビットデータレート (R_i) の1つに等価なレートで送信され、前記フレームのそれぞれは、 N_i および i をゼロでない正の整数として、コード化オリジナルビットデータの第1のバージョンおよび (N_i-1) 回反復バージョンを表している、出力に復号化ビットデータを生成するために入力を受信されたコードシンボルデータを復号化する多重レート復号器において、

前記入力に結合され、前記コードシンボルデータの1以上の前記フレームを受入れて記憶する入力バッファ手段と、

前記入力バッファ手段に結合され、前記コードシンボルデータに応答して、2以上の前記予め定められたオリジナルビットデータレート (R_i) のそれぞれに対応する前記復号化ビットデータの packets (P_i) を生成する復号器手段と、

前記出力と前記シーケンシャル復号器手段に結合され、前記2以上の復号化ビットデータ packets (P_i) を記憶する出力バッファ手段とを具備する多重レート復号器。

43. 前記入力バッファ手段に結合され、それぞれが異なる前記第1のコード化アルゴリズムに対応している複数の復号化

モードの1つを選択する第1の選択手段と、

前記入力バッファ手段に結合され、連続的およびフレーム化オリジナルビットデータに対応する前記第1および第2のチャンネルモードの1つを選択する第2の選択手段とをさらに具備する請求項42記載の多重レート復号器。

44. 2以上の前記予め定められたオリジナルビットデータレート (R_i) のそれぞれに対する前記オリジナルビットデータの前記第1のバージョンに対応する1組の前記コードシンボルデータ (S_i) を選択し、前記シーケンシャル復号器手段に対して前記1組の前記コードシンボルデータ (S_i) を転送する、前記入力バッファ手段中のシンボル転送手段をさらに具備する請求項43記載の多重レート復号器。

45. 前記復号化ビットデータ packets (P_i) のそれぞれに対する品質尺度 (Q_i) を生成する、前記復号器手段中の品質メトリック手段をさらに具備し、前記品

質尺度 (Q_i) が、前記各復号化データビットパケット (P_i) に関係したコードシンボルデータエラーの数を表している請求項44記載の多重レート復号器。

46. 前記品質メトリック手段が、

ローカルコードシンボルデータのパケット (L_i) を生成するために、前記第1のコード化アルゴリズムにしたがって、前記2以上の復号化ビットデータパケット (P_i) のそれぞれを再コード化するデータ再コード器手段と、

前記データ再コード器手段に結合され、前記1組のコードシンボルデータ (S_i) を、前記ローカルコードシンボルデ

ータパケット (L_i) のそれぞれと比較し、それらの間の差の数をカウントする比較手段とを具備する請求項45記載の多重レート復号器。

47. 前記復号器手段が、

第2のコード化アルゴリズムにしたがって、シンボルメトリック値を前記コードシンボルのそれぞれに割当ててシンボルメトリック手段と、

前記シンボルメトリック手段に結合され、対応する前記シンボルメトリック値に応答して、前記入力バッファ手段からの前記各コードシンボルに対応するオリジナルデータビット遷移に対する重み付けられた確率を表している分岐メトリック値対を生成する分岐メトリック計算手段と、

前記分岐メトリック計算手段に結合され、対応する前記分岐メトリック値に応答して、前記入力バッファからの前記各コードシンボルに対応する可能性あるオリジナルデータビット遷移のそれぞれに対する状態メトリック判定値を生成して記憶する判定パス手段と、

前記判定パス手段に結合され、前記オリジナルデータビット遷移のそれぞれに対する最も可能性ある判定パスを選択し、対応する前記復号化データビットを生成するパスチェーンバック手段とを具備する請求項46記載の多重レート復号器。

48. 実質的に単一のモノリシック集積回路に具体化される請求項47記載の多重レート復号器。

49. 前記コードシンボルデータが、前記各コード化オリジナルビットデータの一連の N_i 個の複製を表している請求項48

記載の多重レート復号器。

50. 前記コードシンボルデータが、完全にコード化された第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項49記載の多重レート復号器。

51. 前記復号化ビットデータ packets (P_i) のそれぞれに対する品質尺度 (Q_i) を生成する、前記シーケンシャル復号器手段中の品質メトリック手段をさらに具備し、前記品質尺度 (Q_i) が、前記各復号化データビット packets (P_i) に関連したコードシンボルデータエラーの数を表している請求項43記載の多重レート復号器。

52. 前記品質メトリック手段が、

ローカルコードシンボルデータの packets (L_i) を生成するために、前記第1のコード化アルゴリズムにしたがって、前記2以上の復号化ビットデータ packets (P_i) のそれぞれを再コード化するデータ再コード器手段と、

前記データ再コード器手段に結合され、前記1組のコードシンボルデータ (S_i) を、前記ローカルコードシンボルデータ packets (L_i) のそれぞれと比較し、それらの間の差の数をカウントする比較手段とを具備する請求項51記載の多重レート復号器。

53. 前記コードシンボルデータが、前記オリジナルデータビットの一連の N_i 個の複製を表している請求項52記載の多重レート復号器。

54. 前記コードシンボルデータが、完全にコード化された第1のオリジナルビットデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項52記載の多重レート復号器。

55. 前記コードシンボルデータが、前記コード化オリジナルデータビットデータの一連の N_i 個の複製を表している請求項43記載の多重レート復号器。

56. 前記コードシンボルデータが、完全にコード化された第1のオリジナルビット

トデータバージョンの (N_i-1) 回反復シーケンスが後続する完全にコード化された第1のオリジナルビットデータバージョンを表している請求項43記載の多重レート復号器。

57. 前記復号器手段が、

第2のコード化アルゴリズムにしたがって、シンボルメトリック値を前記コードシンボルのそれぞれに割当ててシンボルメトリック手段と、

前記シンボルメトリック手段に結合され、対応する前記シンボルメトリック値に回答して、前記入力バッファ手段からの前記各コードシンボルに対応するオリジナルデータビット遷移に対する重み付けられた確率を表している分岐メトリック値対を生成する分岐メトリック計算手段と、

前記分岐メトリック計算手段に結合され、対応する前記分岐メトリック値に回答して、前記入力バッファ手段からの前記各コードシンボルに対応する可能性あるオリジナルデータビッ

ト遷移のそれぞれに対する状態メトリック判定値を生成して記憶する判定パス手段と、

前記判定パス手段に結合され、前記オリジナルデータビット遷移のそれぞれに対する最も可能性ある判定パスを選択し、対応する前記復号化データビットを生成するパステーンバック手段とを具備する請求項43記載の多重レート復号器。

58. 実質的に単一のモノリシック集積回路に具体化される請求項43記載の多重レート復号器。

【発明の詳細な説明】

コード分割多元接続システム適用に対する

多重レートシリアルビタビ復号器

関連出願の相互参照

この出願は、バトラー氏らにより1993年6月18日に特許出願シリアル番号08/079,196として出願され、この出願の譲受人に譲受された、「通信受信機において送信された可変レートデータのデータレートを決定する方法および装置」と題する留保中の特許出願に対する主題に関係している。この関連出願は、この参照として全体的にここに組込まれている。

発明の背景

I. 発明の分野

この発明は、一般的に、ノイズのあるチャンネル中のシリアルデジタルデータストリームを復号するためのシステムに関し、特に、予め定められた多重データレートでシーケンシャルな復号化を行う畳込みビタビ復号器に関する。

II. 関連技術の説明

デジタル通信技術では、データが、連続的に、または、各フレームがシーケンシャル送信レートとフレーム持続時間 T との積に制限される固定数のビット N を含んでいる、一定時間の持続時間 T のフレームの、いずれかで、シーケンシャル

に送信されることがよく知られている。しかしながら、ある通信システムでは、選択されたフレーム中で N 個のデータより少なく送信することが望ましい。このようなシステムの一つは、コード分割多元接続 (CDMA) 通信システムであり、これは、ダイレクトシーケンス・スペクトル拡散技術を使用する。

この譲受人に譲受された米国特許第5,103,459号では、クレインS. ギルハウゼン氏らは、セルラー電話適用に対するこのようなCDMAシステムを開示している。特許第5,103,459号は、この参照のためにここに完全に組込まれている。CDMAシステムでは、システム能力は、送信周波数帯内の全て干渉により制限される。全ての干渉は、主としてボコーダデータ (デジタル音声) から構成される他のユーザの信号を含む。可能な限りユーザの干渉レベルを減少させるために、ギルハウ

ゼン氏らにより開示されたCDMAシステムは、固定時間持続時間のデータフレームでの送信に適用される可変レートボコーダデータを使用する。

いくらか減少されたボコーダデータレートに対して、全体のフレームにわたってデータの送信をサポートするために、フレームデータに冗長性がもたらされる。したがって、フルデータレートが減少されるフレームに対して、N個のオリジナルデータシンボルより少ないものが、N個のシンボルのフレームを満たすために必要なだけ繰返される。低いレートのデータの反復は、同じ送信出力におけるフルデータレートと同じ干渉レベルをもたらすが、フレーム内の冗長情報により、

等価な「情報出力」すなわちシンボル当たりのエネルギーにしたがって、送信出力を減少できるようになる。この技術は、干渉レベルを減少させ、ボコーダの冗長性により許容されるだけシステム能力を増加させる。

減少された出力におけるデータの反復の代わりに、送信出力を減少させることなく、低いレートのデータを、単一フレーム内で1度だけ送信してもよい。この技術は、フレームのわずかな割合でフル出力送信を生み出し、未使用フレーム部分中では送信を行わない。フレームで送信されるデータブロックは、単に、フレームの始め、またはフレーム内の他の予め定められた固定位置に配置すればよい。しかしながら、多くのユーザを有するCDMAシステムでは、全体のフレームにわたって他の多くのユーザからの干渉を均等に分配するために、さらに複雑なブロック配置手続が要求される。多くのユーザによるデータ送信中の不必要なオーバーラップは、最適な平均レベルに対して、システムの干渉レベルを不必要に増加させる。

1992年3月5日に出願され、この譲受人に譲受された「データバーストランダム装置」と題する米国特許出願第07/846,312号では、ギルハウゼン氏らは、フルフレームに対して干渉レベルを確実に最小にするための複雑なブロック配置手続を開示しており、この特許出願は、ここに参照として完全に組込まれている。

典型的なCDMAシステムは、1992年4月21日の「EIA/TIA暫定規格案：広帯域拡散スペクトルデジタルセルラーシステム

デュアルモード移動局—基地局両立規格」、クオールコム、インク、サンディエゴ、カリフォルニアを参照しても理解できる。このCDMA規格は、フォワードおよびリバースリンクトラフィックの両方に対して、5つの基本チャンネルデータモードを指定している。3つのフォワードリンクモードと2つのリバースリンクモードがある。特定のデータチャンネルモードに依存して、2つの異なる畳込みコード化アルゴリズムの一つが指定される。2つは、連続モードであり、3つは、シーケンシャルデータが固定フレーム間隔に構成されるパケットモードである。3つのモードは、いくつかの予め定められたデータレートの一つのみで動作し、2つのモードは、フレーム毎に、4つの異なる予め定められたデータレートの任意の一つで動作する。

このさまざまなデータレートとチャンネルモードは、任意の単一の復号化装置に対して、挑戦的な要求を表している。この問題は、拡散スペクトルチャンネル中のシリアル復号化の実時間特性によりさらに困難になる。すなわち、受信信号は、実時間で、検出、再組立て、および復号化されなければならない。オリジナルボコーダデータレートの情報を伝達するために利用可能なフレーム空間はない。いくつかの可能性あるデータレートに対して受信信号を検査し、それぞれの新しいフレームに対してどの特定のレートで復号化すべきかを決定するためには、わずかな機会しかない。構成部品の増加を避けるために、すべてのシステムチャンネルモードで同じ復号化装置を使用することも望ましい。上記に引用されたギル

ハウゼン氏らの特許で説明されているCDMAシステムは、直交疑似ランダムノイズ(PN)コード化、インターリーブ処理、有効範囲シンボルの四相位相変調(QPSK)拡散をとらない、各BPSKシンボルの直交有効範囲を有する二相位相変調(BPSK)、およびエラー訂正のための畳込み符号化を使用する。これらの多くのコード化技術はそれぞれ、各チャンネルモードの受信側で、ある量の復号化アクティビティを必要とする。したがって、エラー訂正目的のために送信される畳込み符号化シンボルをシリアルに復号化するために利用可能な実時間リソースに対する強い競合がある。

畳込みコードに対する復号化技術は、技術的によく知られており、A. J. ビタビ

により紹介され（「畳込みコードに対するエラー境界および漸近的最適復号化アルゴリズム」、IEEEトランザクション情報理論Vol. IT-13, No. 2, pp. 260-269, 1967年4月）、G. D. フォーネイジュニア（「ビタビアルゴリズム」、IEEEのProc., Vol. 16, pp. 268-278, 1973年）やJ. A. ヘラー氏ら（「衛星および空間通信用ビタビ復号化」IEEE Trans. 通信技術vol. IT-19, No. 5, pp. 835-848, 1971年10月）のような従業者により論じられているエラー訂正に対するビタビアルゴリズムを含んでいる。

従業者は、さまざまな特殊要求に対応して、ビタビアルゴリズムを進歩させた。例えば、ヒロスケ・ヤマモト氏は、反復要求に対して品質メトリックを有するビタビ復号化アルゴリズムを開示している（「反復要求を有する畳込みコードに対するビタビ復号化アルゴリズム」IEEE Trans. 情報理論

Vol. IT-26, No. 5, pp. 540-547, 1980年9月）。再送信を要求するために受信機がフィードバックチャンネルを使用することができる時、これらのシステムは、フィードバックがなくて、より長い束縛長を有する畳込みコードと同じ性能を提供する。ヤマモト氏は、「フレーム品質」を意味する単一の品質ビットを復号器出力に付加した。もし悪い場合、反復送信が要求される。彼らは、自分達のアルゴリズムの信頼度関数が、反復要求のない通常のビタビアルゴリズムのものの漸近的に2倍であることを示した。同様に、N. セシャドリ氏ら（「畳込みコードを有するエラー検出用の一般化されたビタビアルゴリズム」、GLOBECOM 89ダラス、テキサス、pp. 1534-1538, 1989年11月）は、固定持続時間のフレームで符号化されたスピーチに対する有用な適用を有する、2つの一般化されたビタビアルゴリズムを示している。フレームの内容が受入れることができないエラーレベルを示している状況において、隣接スピーチフレーム間の高い相関は、隣接フレームからフレーム内容の有効な推定を可能にする。セシャドリ氏は、周期性ブロックコードの外側の高いレートによるエラー検出のために、スピーチデータにパリティビットを付加することにより、かなり信頼性があるフレーム内冗長性が得られることを示した。そして増強されたフレームは、内部畳込みコードにより符号化され、その後、全体的なブロックは変調され、ノイズのあるチャンネルに対して送信される。内部の一般化されたビタビ復号器は、復号化フレームに対して予め

定められた数の候補をリリースし、その内の一つだけが、正しいパ

リティ情報を持たなければならない。いずれも正しいパリティを有しておらず、情報ビットが量子化スピーチのフレームを表している場合、フレーム間の再推定を実行することができ、または、リターンリンクが利用可能な場合、自動的な反復要求が可能である。正しい代わりのものが予め定められた数の候補の中にある時はいつでも、再送信を避けることができる。

残念ながら、上記に開示されたものはいずれも、レート情報を送信せずに、フレーム毎に変化するいくつかの予め定められたデータ送信レートの一つを有する一連のフレームを取扱う実時間復号化方法を教示も開示もしていない。関連する未解明の問題および欠点が、明らかにこの技術分野にあることが感じられ、以下に説明される方法でこの発明により解決される。

発明の要約

この発明は、単一の大規模集積（VLSI）装置として構成される、特殊化された入力および出力バッファを有するシリアルビタビ復号器（SVD）を提供することにより上記問題を解決する。ビタビ手順は、フレームモードおよび連続的なモードにおいて、各フレームに対するすべての予め定められたデータレートで、同期化され量子化されたコードシンボルストリームを復号化するために使用される。いくつかの品質メトリック出力（「エラーメトリック」）がデータレートの決定ができるように提供される。この発明のSVDの好ましい実施

例は、前データレート情報なしに、異なるデータレートを復号化することができる。

送信されるデータレート情報なしに、複数の予め定められたデータレートの任意の一つで、各フレームの自動的な復号化を提供することを本発明の目的とする。この発明のSVDは、複数のチャンネルモードのそれぞれに対して、すべての可能性ある予め定められたデータレートのそれぞれにおいて、各フレームを復号化するために多重パスを作ることにより、また、オリジナルデータレートの検出を可能にするために「エラーメトリック」を提供することにより、この目的を達成

する。畳込みコードが既知であり、データパケットモード（フレームまたは連続のいずれか）も既知である場合に、知られていない、複数の予め定められたフレームデータレートの一つで復号化できることが、この発明のSVDの利点である。オリジナルデータ送信レートを確立する際に使用するための、仮定的な予め定められたデータレートのそれぞれにおいて、いくつかの「エラーメトリック」が復号化フレーム毎に得られることがこの発明のSVDの別の利点である。

この発明のSVDは、入ってくるストリームのシリアルエラーレート（SER）を推定するために、復号化出力データを再コード化して、それを入ってくるコードシンボルストリームと比較することにより、このようなエラーメトリックの一つを提供する。この発明のSVDは、巡回冗長検査（CRC）の結果およびヤマモト品質メトリック（YQM）のような他のエラーメトリックを含む。SERメトリックは、受信されたコード

シンボル中のエラーを推定する。CRCの結果は、オリジナルビットデータ中のビットエラーを検出する。YQMは、復号化フレーム中の推定されたエラー状態が予め定められたしきい値を越えていることを示す。送信機からのレート情報を受信することなく、オリジナルデータレートを検出する手段として、受信機が1以上のこれらの「エラーメトリック」を提供することが、この発明のSVDの利点である。

すべての必要なチャンネルモードに対して、単一のSVD装置で復号化を提供することが本発明の別の目的である。この発明のSVDは、典型的なCDMAシステムのフォワードおよびリバースリンクチャンネルモードの両方で、単一のVLSI装置を使用できるようにする。例えば、このSVDの好ましい実施例は、コードシンボルデータが $N=384$ シンボル（レート $\times 1/2$ ）または $N=576$ シンボル（ $1/3$ ）のフレームパケットで処理される、束縛長9を有するレート $1/2$ および $1/3$ 畳込みコードに対する理論的限界に近づく高い復号化利得を生成する。任意の固定状態で始まりそして終わるフレームパケットまたは連続的なコードシンボルデータストリームを、この発明のSVDで復号化することができる。例えば、反復モードでは、フレームを満たすために必要なだけ各シンボルが反復され、ビットレートおよび出

力を減少させるために、この発明のSVD中の単一シンボルに反復されたシンボルを累積するように、CDMAチャンネルが動作する。リバーSCDMAリンクデータバーストランダム装置（DBR）モードでは、上記に引用したギルハウゼン氏らの特許出願に説明されている疑似ランダ

ムフレーム位置決定技術を使用して、1組の反復シンボルのそれぞれから一つのシンボルのみが送信される。コードレートオプションおよび反復モードを使用して、この発明のSVDは、フォワード反復モードまたはリバーSCDMAモードのいずれかで、任意の予め定められた効率的なデータレートにより、コードシンボルストリームを処理する。

内部の復号化手続を外部のチャンネルタイミング要求から分離することが、この発明のさらに別の目的である。この発明のSVDは、チャンネルマイクロプロセッサに割込みを送る手段を提供することによって、また、マイクロプロセッサをシステムフレームタイミングから分離し、復号化データおよび品質メトリックデータを保持するための出力バッファを提供することにより、これを達成する。この発明のSVDは、コードシンボルが、チャンネルシンボルレートで連続的にSVDに受入れられるか、またはフレームパケットとしてSVDにバーストされることを可能にする入力バッファも含んでいる。特殊化された入力および出力バッファは、外部チャンネルおよびマイクロプロセッサタイミングに関係なく、この発明のSVDが動作できるようにする。柔軟性のあるマイクロプロセッサインターフェースは、さまざまなマイクロプロセッサシステムとともにSVDが使用できるようにする。

この発明のSVDは、図5に示されているように、5つの主要要素を含んでいる。入力バッファ（IB）は、コードシンボルデータの1以上のフレームを記憶する。ブロックモードでは、これにより、チャンネルフレーム中で使用される実際の

反復またはDBRモードデータレートを識別するために必要な回数だけ、SVDがデータを再処理できるようになる。ビタビ復号器（VD）は、IBから軟判定コードシンボルを受入れ、技術的に知られている加算比較選択論理回路でそれら进行处理する

。ASCプロセスからの判定は、VD内の内部パスメモリに記憶される。このパスメモリを通じてのチェーンバックプロセスは、多くの判定ワードを通じて時間的に逆方向に追跡した後に、各コードシンボルセットに対して単一のデータビットを提供する。ヤマモト品質メトリック（YQM）のような品質メトリックとともにこれらの各単一データビットは、本発明のSVDの第3の要素である出力バッファ（OB）に記憶される。フレームパケットモードでは、コードシンボルは4つの異なるレートに対して復号化され、（品質情報を含む）4つの結果として得られた復号化データパケットは、OBに記憶されて、マイクロプロセッサがそれらを読むことができるように、固定フレーム持続時間の約半分の間保持される。第4の要素は、この発明のSVDの動作に必要なすべての内部タイミング信号を発生させる制御ブロック（CB）である。この内部タイミングは、CDMAシステムクロックと外部の復号器同期ストロブ信号とから得られる。この発明のSVDは、この発明の第4のCB要素に結合された第5のマイクロプロセッサインターフェース（MI）要素を介して、初期化され、制御される。その上、データはMIを介して受信される。

この発明の前述のもの、他の目的、特徴および利点は、以下の明細書、請求の範囲および添付した図面を参照した時に、

さらに明らかとなる。

図面の簡単な説明

この発明のさらに完全な理解のために、添付した図面に図示されているような実施例の以下の詳細な説明に対して参照がなされる。

図1は、CDMA移動受信機の機能ブロック図である。

図2は、CDMAセルサイトチャンネルカード受信機の機能ブロック図である。

図3A-3Eを含んでいる図3は、5つのCDMAチャンネルタイプの規格である。

図4は、通常のCDMAモードセットアップパラメータの規格である。

図5は、この発明のシリアルビタビ復号器（SVD）の機能ブロック図である。

図6A-6Bを含んでいる図6は、ビタビ復号器の理論的な動作を図示している。

図 7 は、この発明の入力バッファ (IB) の機能ブロック図である。

図 8 は、CDMA システム用のデータバーストランダム装置 (DBR) シンボル選択規格である。

図 9 は、この発明のビタビ復号器 (VD) 要素の機能ブロック図である。

図 10 は、この発明の出力バッファ (OB) の機能ブロック図である。

図 11 は、この発明のヤマモト品質メトリック (YQM) 論理回路の機能ブロック図である。

好ましい実施例の説明

CDMA システム復号化問題

ここにおける論議および説明のために、この発明は、上記に引用されたギルハウゼン氏らの特許に説明されている、典型的な CDMA 移動通信システムの実施例の文脈内で説明されている。しかしながら、この発明は、パーソナル通信システム (PCS)、ワイヤレスローカルループ、私設交換機 (FBX) あるいは他の有用な電気通信システムのような、他のタイプの通信システムに対して適用可能であることを理解すべきである。さらに、時分割多元接続 (TDMA) のような他のよく知られている送信変調技術を使用する他のシステムにおいてもこの発明を使用することができる。上記に引用したギルハウゼン氏らの特許で説明されているように、典型的な CDMA 移動通信システムの実施例は、現在まで、技術的に知られている単一復号器の設計に効率的に合っていない復号化装置および手順に対する多数の需要要求を表している。これらの要求を例のために以下に簡単に説明する。

図 1 は、CDMA システム用の移動受信機モデム設計のブロック図である。この発明のシリアルビタビ復号器 (SVD) 20 が、移動モデム 22 の他の要素との関係で示されている。動作において、アナログプロセッサ 28 の関与および中央処理装置 (CPU) 30 の制御の下、無線周波数信号が、RF 受信機 24 で受信さ

れ、復調装置 26 で復調される。復調されたデータストリームは、シリアルシンボルストリームを SVD 入力 34 に供給するインターリーブ装置 32 により、逆インターリーブされる。同期、タイミングおよびクロック信号は、適当な信号ライン上を

SVD 20に向けて送られる。SVD 20は、ボコーダ38との通信のために、マイクロプロセッサバス36と結合される。ボコーダ38は、SVD 20により復号化されたスピーチ信号を再構成する。

図2は、セルサイト受信機モデムチャンネルカード論理回路40に関連しているものとして、同じSVD 20を示している。CPU 42、インターリーブ装置44および復調装置46は、図1の対応する部分のものと機能的に同じである。図1と同じように、SVD 20は、復号器入力34でシリアルコードシンボルストリームを受入れ、論理回路40の他の（示されていない）要素に転送するために、マイクロプロセッサバス36にパラレルデータストリームを生成する。

上記に引用したギルハウゼン氏らの特許に開示されているCDMAシステムに対して、フォワードおよびリバースリンクデータの両方用に要求されるすべての復号化を提供するために、SVD 20は、5つの基本チャンネルモードのいずれでも動作しなければならない。これらのモードは図3A-3Eに記載されている。セルサイトから移動ユーザへのフォワードリンクは、図3A-3Cに示されている3つのモード（同期、ページングおよびトラフィック）を使用する。移動ユーザからセルサイトへのリバースリンクは、図3D-3Eに示されている2つのモード（アクセスおよびトラフィック）を使用する。

図3Aは、例として、フォワードリンク同期チャンネル変調パラメータを記載している。同期チャンネルデータは、レート1/2（束縛長 $K=9$ ）で畳込み符号化されたチャンネルから復号化され、各コードシンボルは一度反復される。データは、毎秒4800変調シンボルで送信され、SVD 20は、80ミリ秒毎に、384個の変調シンボルを含んでいるスーパーフレームを受信する。したがって、SVD 20は、このチャンネルに対して、固定された1200bpsレートにプリセットすることができ、オリジナルビットデータは、フレーム境界における巡回冗長検査（CRC）コードがない連続的なストリームとして符号化される。この等価オリジナルビットデータレートは1200bpsである。

図3Bは、例として、フォワードページングチャネル変調パラメータを記載している。ページングチャネルデータは、レート1/2（束縛長 $K=9$ ）で畳込み符

号化されたチャンネルから復号化され、各コードシンボルは、オリジナルビットデータレートに依存して、1、2、または4回のいずれかで送信される。このチャンネルに対するオリジナルビットデータレートは、プリセットされ、フレーム毎に変化しない。したがって、SVD 20は、このチャンネルに対して、固定されたオリジナルビットデータレートにプリセットすることができる。データは毎秒19,200個のシンボルで送信され、SVD 20は、20ミリ秒毎に、384個の変調シンボルを含んでいるフレームを受信する。データは、フレーム境界にCRCコードがない連続的なストリームとして符号化される。

図3Cは、例として、フォワードトラフィックチャンネル変調パラメータを提供する。フォワードリンクトラフィックチャンネルデータは、レート1/2 ($K=9$) で畳込み符号化されたチャンネルから復号化され、各コードシンボルは、生成しているボコーダにより各フレームに対して選択されたオリジナルビットデータレートに依存して、8回まで送信される。オリジナルビットデータレートは、生成しているボコーダ制御の下、フレーム毎に変化させることができ、このデータレートはプリセットすることができないので、SVD 20は、すべての可能性あるレートで、フレーム毎に復号化しなければならない。データは毎秒19,200変調シンボル (sps) で送信され、SVD 20は、20ミリ秒毎に、384変調シンボルの新しいフレームを受信する。データは、ゼロ状態で始まりそして終わる (符号化前に各フレームの終わりに“0”ビットが付加される) パケットとして符号化され、CRCコードは、96オリジナルビットおよび192オリジナルビットの各パケットの終わりで予測される。空間的な制限がCRCを非常に高価なものにするので、より短いパケット (48および24ビット) を有するCRCは予測されない。

図3Dは、例として、リバーストラフィックチャンネル変調パラメータを記載している。リバースリンクトラフィックチャンネルデータは、レート1/3 ($K=9$) で畳込み符号化されたチャンネルから復号化される。各コードシンボルは、(8を生じさせる) 7回まで反復されるが、各反復コードシンボルの一つのみが、バーストで送信される。バーストタイ

ミングは、前のフレームに対するPNコードの最後のわずかなビットから取られたランダム数により決定される。コードシンボル反復レートは、各フレームに対する、生成しているボコーダデータのレートに依存する。オリジナルビットデータレートは、生成しているボコーダによりフレーム毎変化させることができるので、SVD 20は、各フレームに対して、すべてのレートで、同時に復号化しなければならない。SVD 20は、特定のフレームに対してオリジナルデータビットレートを知らないが、反復シンボルの各フレームに対するバーストタイミングは、前のフレームに対するPNコードの最後のいくつかのビットから利用可能である。データは、毎秒28,800コードシンボルで送信され、SVD 20は、20ミリ秒毎に、576個の潜在的なコードシンボルを含んでいるフレームを受信する。各パケットの終わりに“0”ビットが付加されるので、データは、ゼロ状態で始まりそして終わるパケットとして符号化される。CRCコードは、“0”ビットシーケンスの直前の96オリジナルビットおよび192オリジナルビットの各パケットの終わりにおいて予測される。96オリジナルビットより少ないものを含むフレームは、空間を節約するために、CRCコードを省く。

図3Eは、例として、リバーリンクアクセスチャンネル変調パラメータを提供する。リバーリンクアクセスチャンネルデータは、レート1/3 ($K=9$) で畳込み符号化されたチャンネルから復号化され、各コードシンボルは、2回送信される。オリジナルビットデータレートは、4800bpsに固定

され、このチャンネルに対するSVD 20は、この単一の固定レートで動作するようにプリセットすることができる。このデータは、毎秒28,800コードシンボルで送信され、SVD 20は、20ミリ秒毎に、576コードシンボルを含んでいるフレームを受信する。データは、ゼロ状態で始まりそして終わる（各パケットの終わりに“0”ビットが付加される）パケットとして符号化されるが、CRCコードは提供されない。

連続的多重レート復号化、連続からパケットモードへのスイッチング、および畳込みコード化レート間（1/2から1/3）のスイッチングに対するその能力のために、この発明のSVDは、図3に提供されている5つの典型的なチャンネルの記載

のそれぞれに対してふさわしい。さらに重要なことは、この発明のSVDは、フォワードまたはリバーストラフィックチャンネルデータのいずれかも復号化できることである。このフォワードおよびリバーストラフィックチャンネルの区別は、上記に引用したギルハウゼン氏ららの特許および特許出願を参照するとより理解することができる。

図4は、図3と関連して先に論じた5つの典型的なチャンネルのそれぞれに対して、本発明のSVDに必要とされる制御信号機能を要約した表を提供している。フォワードページングおよび同期チャンネルオリジナルビットデータレートが固定されていることが着目される。

モノリシックSVD実施例

この発明のSVDは、単一の大規模集積 (VLSI) 回路として

構成されることが好ましい。図5は、SVD 20の典型的な実施例の5つの主要要素を示している。入力バッファ (IB) 48は、1.5データフレームを記憶し、それにより、単一フレームについての多重復号化パスが、訂正の反復、またはフレームに対するデータバーストランダム装置 (DBR) モードデータレートを後で決定できるようにする。ビタビ復号器 (VD) 50は、7ビットsymbolバス52上に、IB48からの軟判定シンボルを受入れる。これらのコードシンボルは、加算比較選択 (ACS) 論理回路により処理され、その結果は、内部のランダムアクセスメモリ (RAM) に状態メトリックとして記憶される。ACSプロセスからの判定は、内部パスメモリに記憶される。このパスメモリを介してのチェーンバック処理は、パスを最も可能性があるグローバルパスと確実に組み合わせるために、64レベルの判定ワードを通じて、時間的に逆方向に追跡した後に、各コードシンボルグループに対する単一の出力データビットを識別する。品質メトリック (QM) 情報とともにこれらの出力データビットは、データライン56を介して、出力バッファ (OB) 54に記憶される。VD50による復号化が終了した後、OB54は、マイクロプロセッサインターフェース58によるアクセスのために、復号化データビットをdecdataバス60上に保持する。パケットモードでは、コードシンボルは、4つの異なるオリジナルビットデータレートで復号化され、結果として得られた4つの出力データパケ

ットは、関係するQMデータとともに、OB54に記憶される。この回路により、（示されていない）マイクロプロセッサが約10ミリ秒でOB54のデー

タを読むことができるようになる。SVD 20は、マイクロプロセッサインターフェース58および制御装置62により、初期化および制御され、制御装置62は、SVD 20に対するすべての必要な内部タイミングを発生させる。タイミングは、システムクロックおよび（示されていない）復号器同期ストロークから得られる。

ビタビ復号化アルゴリズム

ビタビ復号器の動作の一般的な理論は、技術的によく知られており、上記に引用した参考文献の一つを参照することにより理解することができる。この発明の理解を促進するために、この理論を簡単に説明する。

畳込み符号器はオリジナルデータビットのシーケンス（入力ビットストリーム）をコードシンボルのシーケンス（出力シンボルストリーム）に変換する。各入力ビットに対して、Kを符号器の束縛長として、この入力ビットと前の（K-1）入力ビットとにより決定される多数の出力コードシンボルがある。各ビットシンボルに対して生成されるコードシンボルの数は、符号化レートにより決定される。すなわち、例えば、レート1/2に対して2つ、レート1/3に対して3つである。例えば、シーケンス $x^8 + x^6 + x^5 + x^4 + 1$ （8進値0561₈）により表されるレート1/2 G1コードのような、特定の多項式コードにしたがって、入力ストリームをシフト処理およびXOR処理することにより、各コードシンボルが発生される。多項式コード中のビット数は、束縛長と同じであり、これは、

この発明のSVDの好ましい実施例に対して9に固定される。実際のコード（G0，G1）または（G0，G1，G2）は、移動環境における最良のエラー特性を有するコードを決定するために生成された非体系的コードのシミュレーションから選択される。上記で議論された典型的なCDMAシステムで使用される好ましい畳込みコードは、フォワードリンクに対して、G0 = 0753₈ および G1 = 0561₈ であり、リバーリンクに対して、G0 = 0557₈、G1 = 0663₈ および G2 = 0771₈ である。これらの畳込みコードは、1/2コード化レートに対して12の最小自由ハミン

グ距離、1/3コード化レートに対して18の最小自由ハミング距離を提供する。

ビタビ復号器アルゴリズムは、入力コードシンボルストリームに対する最も可能性のある復号化シーケンスを発見することにより動作する。第1に、可能性あるパスのそれぞれに対する、相対確率の状態メトリックまたは重みが計算される。各状態への最も可能性がある遷移がすべての状態に対してパスメモリに保存され、そして、各出力ビットを選択するために、最も可能性のあるシーケンスを通して、復号器は、時間的に逆方向に追跡またはチェーン結合を行う。この処理における主なステップは、分岐メトリックの発生、状態メトリックの発生、およびチェーンバックパス判定である。特定の束縛長およびレートに対する復号器の性能は、次の3つのパラメータにより決定される。すなわち、入力コードシンボルのステップサイズおよび量子化レベルの数、状態メトリック正規化手続、およびパスメモリの効率的なチェーンバックの深

さである。

分岐メトリックは、可能性あるビット遷移のそれぞれが所定の軟判定入力コードシンボルを発生する遷移確率の対数に対応しているコスト関数である。軟判定中の符号および大きさ情報は、各分岐メトリックを生成するために、スケール処理されて結合される。レート1/2に対して、4つの可能性あるメトリックがある。レート1/3に対して8つ、任意のレート1/nに対して 2^n の可能性あるメトリックがある。分岐メトリックを計算しスケール処理するために使用される方程式は、経験およびシミュレーションを使用して、目標チャンネルにおける最良の復号器性能に対して選択される。これらの方程式は、この発明のSVD論理回路で構成される。メトリック入力は、VD50内のシンボルメトリックテーブル(SMT)に記憶されているシンボルメトリック値によりスケール処理される。「消去」レベルは、分岐メトリック計算においてコードシンボルを無視させる。より高いチャンネルデータレートが要求される場合、消去は、コードを「パンク」させるために使用することができる。消去は、「隠れた」データまたは制御チャンネルの一部であるチャンネルコードシンボルのいくつかを取除くためにも使用することができる。消去されたコードシンボルは、メトリック値に寄与しないので、合理的な消

去レートは、復号化性能に大きな影響を与えない。

畳込みコードは、コードシンボルの無限シーケンスを発生させることができるが、コードのある特性は、シンボルシーケンスの数を減少させることができる。

第1の特性は、状態

を通る任意のグローバルパスが最良のローカルパスをホローしなければならないので、状態への最良（最も可能性がある）パスのみが興味の対象となることである。第2の特性は、畳込みコード構造は、反復性があり、対称的なコードツリーを有していることである。したがって、コードシーケンスは、一意のビットストリームパターン⁽¹⁾の有限数により発生される等価シーケンスに組み入れられなければならない。所定の束縛長 K に対して、最も可能性のあるグローバルパスを位置付けるために評価されなければならない、 2^{K-1} の可能性あるデータビットパターン（ここでは「状態」と呼ぶ）がある。

図6は、 $G0 = 5_8$ および $G1 = 7_8$ に基づく、典型的な $K=3$ （1/2）コードに対する組込みシーケンスまたはパスを表している典型的なトレリス図を示している。状態間を遷移するために必要なシンボルが図上に示されている。各状態に対して、（示されていない）状態メトリックが計算され、これは、その状態を通るパスをたどる相対確率を表している。状態メトリックの計算は、加算比較選択（ACS）プロセスにより実行される。現在の状態の前の可能性ある状態のそれぞれに対する状態メトリックが、その前の状態から現在の状態への遷移に対する分岐メトリックに加算される。その合計は比較され、最小合計により表される最も可能性ある遷移が選択され、状態メトリックとして現在の状態に割当てられる。各ACSからの判定ビットは、そこから選択された遷移が発生される前の状態に対する最下位ビット（最も古いビット）の値である。トレリスの列中のすべての状態に対する判定は、

パスメモリワードとなる。

発生装置の多項式における最初と最後の項（ $G0$ および $G1$ ）は1であるので、任意の状態に入るかまたはこれから出る2つのパスにおける送信シンボル（ $c0$

, c1) に対する仮定 (i, j) は2進補数である。これらのACS状態の関係は、図6 Bのバタフライ図に表示されている。もちろん、ノイズのないチャンネルでは、コードシンボル値 (c0, c1) はエラーなしであり、状態メトリックはゼロまたは最大値で飽和されており、ゼロ状態メトリックは、最も可能性あるグローバルパス上の状態を表している。

図6 Bを参照すると、状態x0から状態0xへの分岐メトリックは、第1の2つの可能性ある0x状態メトリックを決定する0x状態メトリックは、状態x1からの分岐メトリックをx1状態メトリック値へ加算することにより見出される。そして、これらの2つの可能性ある値の小さいものが新しい0x状態メトリック値として割当てられる。1x状態に対して、およびそのトレリス列の他のすべての状態に対して、このプロセスが反復される。単一のオリジナルビットに対応している新しい組のコードシンボルのそれぞれに対して、新しい列が生成される。上記に引用された論文でヤマモト氏らにより提案され、図12と関連して以下に説明されている方法で、新しい状態に対して、ヤマモト品質メトリック (YQM)、または“qbit”を生成するために、状態メトリック対のそれぞれの間の差が、予め定められた品質しきい値 (QT) と比較される。

ローカルACS判定のマトリクスが一旦パスメモリに記憶さ

れると、チェーンバックプロセスは、このマトリクスを通して、パスバックをたどる。チェーンバックは、ACSアレイにより報告された「最良状態」で始まり、前の最良（最も可能性のある）状態を決定するために、パスメモリワード中のその状態（ビットアドレス）における判定を使用する。たどられるパスが最も可能性あるグローバルパスに確実に組み合わされるように、チェーンバックは、少なくとも5または6の判定の束縛長により実行される。9の束縛長に対して、63状態のチェーンバックパスの深さで十分である。チェーンバックの終わりの最後の判定は、ビタビ復号器からのその出力ビットに対する最良の判定として受入れられる。それぞれ後続するオリジナルデータビットに対して、新しい判定ワードおよび新しい最良状態がACSアレイにより発生され、チェーンバックプロセスは、同じパスの長さで、新しいトレリス列により反復される。したがって、それぞれ

の新しいビットシンボルは、一つのトレリス列により進むパスメモリ中の64状態チェーンバックウインドウを進む。

図3に関連して上記で論じられた典型的なフレーム規格において、データがパケット化されるすべての動作モードに対して、データの最後において8つの“0”ビットのテール部を挿入することにより、符号化は、すべて「ゼロ」の状態を開始され終了する。多重レート復号化において、SVDは、各フレームの第1の8つのトレリス列の間に、パスメモリへの判定ビット入力をゼロにする。これは、各フレームに対する選択されたパスが、すべての可能性あるデータレートに対して、

すべて「ゼロ」の状態で確実に開始し終了するようにする。

入力バッファ (IB) の説明

この発明のSVD 20の以下の機能的な説明は、さまざまな処理サイクルに対するこれらの典型的な定義に基づいている。

内部CHIPX8クロック：これは、内部装置の動作に対するメインクロックであり、9.8304MHzであることが好ましい。

計算サイクル：これは、ACS対108により、分岐メトリックおよび前の状態メトリック対のそれぞれを処理する時間であり（図9）、2内部CHIPX8クロックサイクルと等価である。

プロセスサイクル：これは、チェーンバックにより、一つのオリジナルデータビットを処理する時間であり、128+3計算サイクルと等価であり、これは、ACS論理回路106により、64分岐メトリックを完全に処理するために要求される。

ブロックサイクル：これは、4つの可能性あるフレームパケットサイズの一つに対する処理時間であり、192, 96, 48または24のいずれかのプロセスサイクルと等価である。

バッファサイクル：これは、フレームに対して4つすべての可能性あるパケットレートを処理し、最後のチェーンバックフラッシュおよびVD50のクリーンアップ動作を実行するための時間である。これは、432プロセスサイクル（192+96+48+24+72）と等価である。

フレーム：これは、パケットですべてのコードシンボルを送るために要求される時間ウィンドウであり、同期チャンネルを除いて通常20ミリ秒に等しく、この場合、単一の80ミリ

秒のスーパーフレームを形成するために、3つの26.67ミリ秒フレームが積算される。

図7は、この発明の入力バッファ（IB）48の好ましい実施例を示しているブロック図を提供している。IB48は、復号器入力ライン34でコードシンボルを受信し、symbufバス52上に、すべての可能性ある予め定められたボコーダデータレートに対して選択され積算されたこれらのコードシンボルを提供する。図4に示されているように、IB48は、フォワードリンクチャンネルに対して反復モードで、リバースリンクチャンネルに対して、反復モードまたはデータバーストランダム（DBR）モードで動作する。反復モードにおいて、IB48は、コードシンボルを積算し、1/2, 1/4および1/8の積算されたシンボルレートにおいて、symbufバス52上にそれらを提供し、入力コードシンボルレートが最初のフルレート提供にしたがう。DBRモードにおいて、最初のフルフレームブロックバースト処理にしたがう前のフレーム中のPNシーケンスの最後のわずかなビットから取出されたランダム化コードワードにしたがって、IB48は、フレーム中に位置される1/2, 1/4および1/8データブロックサイズでバースト処理するためのコードシンボルを選択する。復号器入力ライン34上のコードシンボル入力は、両IBモードに対して同じである。コードシンボルビットは、DECSTBライン64によりストローブされ、IB48がVD50復号化処理を維持するために十分なコードシンボルを受信した時、レディーストロブ信号がINBUFRDY ライン66でVD50に送られる。そしてIB48は、要求があり次第、順次、symbufバ

ス52を介してVD50にコードシンボルを供給する。

復号器モードは、DECMODEバス68上のモード制御ワードにより制御される。これは、IB48の動作に影響を与えるいくつかの制御ビットを含む。さまざまなIB48動作モードは、図4を参照することにより理解することができる。DECMODEバス6

8上のいくつかの信号は、VD50へのinbufrdyライン66上のストロブ信号に対するタイミングも決定する。これらのビットの一つは、図3に関連して上記に説明された4つの別なオリジナルビットデータレートに対応している、4つの異なるパケットサイズのそれぞれに対するコードシンボル境界を決定する。DECMODEバス68上の他のビットは、反復コードシンボルが、symbufバス52に提供される前にIB48により累積されるのか、または単にDBR位置コードにしたがって選択されるのかを決定する。

SVD 20に対する各入力サイクルは、DECSYNCライン70上のストロブ信号で始まる。IB48の初期化に対する時間を許容するために、DECSYNCライン70上のストロブ信号が、パケットの第1のコード化シンボルに対する、DECSTBライン64上のストロブ信号より、少なくとも15内部クロック (CHIPX8) サイクル前に生じる。ライン70上の各ストロブ信号の後、IB48は、DECSTBライン64によりバッファ72にストロブされた384または576コードシンボルのいずれかを有することを予測する。畳込みコードレート (図4) は、384 ($= 2 \times 192$) または576 ($= 3 \times 192$) コードシンボルのいずれが予測されるかを決定する。復号器入力34上のコードシンボルビ

ットは、(示されていない) 内部CHIPX8クロックにより、最上位ビット (MSB) から最下位ビット (LSB) までシリアルに、連続的にクロックされる。各シンボルのLSBは、DECSTBライン64上のストロブ信号によりマークされ、それにより、全体的なコードシンボルがラッチされて、パラレルシンボルレジスタ74に入れられる。コードシンボルが畳込み逆インターリーブ装置から来る時、入力シンボルは、フレーム当たり384シンボルのレートで、DECSTBライン64によりクロックされる。リバースリンクチャンネルにおいて動作する場合、コードシンボルはブロック逆インターリーブ装置から来て、入力コードシンボルは、最大入力レート (7内部CHIPX8クロックサイクル毎に1つのコードシンボル) まででIB48にバーストされる。最大バーストレートは、バッファ72が満たされていくにしたがって、コードシンボルがバッファ72から読み出されることが可能にする (示されていない) 調停論理回路により制限される。バッファ制御論理回路76は、symbufバス

52上の出力が始まる時を制御装置62に知らせるために、INBUFRDYライン66上に信号を発生させる。

バッファ制御回路76中の（示されていない）2ビット“psize”カウンタは、ライン66上のINBUFRDYストロブ信号によりリセットされる。psizeカウンタの内容は、symbufバス52におけるコードシンボルに対するパケットサイズを表しており、これは、24, 48, 96または192オリジナルビットである。ライン66上のストロブ信号は、VD50の動作を開始させ、ライン66が活性化される前に、IB48により受信されなければな

らないコードシンボルの数は、DECMODEバス68（図4参照）上の2ビットにより命令される。この選択可能なINBUFRDYライン66のストロブ遅延は、SVD 20の処理遅延の最適化を許容する。

INBUFRDYライン66をストロブすると、バッファ72の読出しアドレスおよび反復バッファ78の書込みアドレスはリセットされる。そして、バッファ72の第1のコードシンボルは、symbufバス52上にプリフェッチされてラッチされる。そしてバッファ72に対する読出しポインタは、インクリメントされ、次のコードシンボルが、symstbライン80上のストロブ信号に応答して、バス52上にフェッチされラッチされる。バッファ72に対する読出しおよび書込み動作のインターリーブ処理のための時間を許容するために、symstabライン80上のIB読出しストロブ信号は、7内部CHIPX8クロックサイクル毎に、1読出しサイクルに制限される。現在のフレームに対して読出されるコードシンボルの数は、DECMODEバス68上の信号により命令される。192オリジナルデータビットを表しているコードシンボルが、第1のパケットに対して、バッファ72から読出された後に、選択および累積論理回路82にしたがって、96, 48および24ビットパケットが、反復バッファ78から読出される。反復バッファ78に対する読出しおよび書込みアドレスはリセットされ、バッファ制御回路76の（示されていない）psizeカウンタは、各パケットの最後のコードシンボルが読出された後にインクリメントされる。psizeカウンタの内容は、バッファ72または反復バッファ78からフェッチされたコ

ードワードのアドレスを決定し、**symbol**バス52に対して適当なコードシンボルを提供するために、選択および累積論理回路82も制御する。反復バッファ78に対する読出しアドレスポインタは、**psize**カウンタがゼロで無い時はいつでも、それぞれの読出しの後に、インクリメントされる。反復バッファ78に対する書込みポインタは、バッファ72または反復バッファ78のいずれかからの他の読出しの後に、1だけインクリメントされる。コードシンボルは、SVD 20動作モードに関係なく、同じシーケンスでIB50から出力されるが、VD50は、連続モードの固定反復レートにおいて動作するときには、未使用パケットを無視する。

反復モードにおいてバッファ72からコードシンボルが読出される時に、コードシンボル対のそれぞれは、論理回路82により互いに加算され、反復バッファ78に記憶される。INBUFRDYライン66がストローブされ、各対に対する合計が反復バッファ78に書込まれた後に、累算器はゼロにリセットされる。コードシンボルが反復バッファ78から読出される時、コードシンボルも対で加算され、反復バッファ78に書き戻される。この同じ動作は、192, 96および48シンボルパケットからの各シンボル対で反復される。反復バッファ78の7ビットワード長は、8までの合計の打ち切りを行うことなく、このようなコードシンボルの記憶を可能にする。DBRモードにおける動作の時、論理回路82からの出力がバッファ72からのシンボル入力であるように、論理回路82の累算器にフィードバックする累算コードシンボルがゼロにされる。反復バッファ78への

書込みは、(示されていない) DBRコードビットにより選択されたシンボルに対してだけエネーブルされる。**psize**レジスタの内容および行アドレス(送信されたスロット数)は、どのDBRコードビットがシンボルを選択するために使用されるかを制御する。任意のより低いレートに対するDBRコードビットが、より高いレートに対するDBRコードビットのサブセットであるように、1組のDBRコードビットが選択される。

フォワードリンク同期チャンネルは、128シンボルの26.67ミリ秒フレームを使用し、これらのシンボルは、秒当たり一定の4800シンボルの連続的なストリームとして送られる。IB48は、384シンボルを有する1つの復号器パケットを作るた

めに、80ミリ秒で3つの逆インターリーブ装置同期フレームを受入れるが、この「スーパーフレーム」に対して、逆インターリーブ装置から、decsyncライン70上の1つのストロブ信号のみが要求されるだけである。各同期チャンネルコードシンボルは2度反復され、この1200BPSチャンネル上の80ミリ秒フレームは、2のシンボル反復係数を有する96ビットパケットとして復号化される。同期チャンネルは、連続的なモードで動作するが、SVD 20を通る遅延のために、出力データは、71ビットだけ遅延される。各パケットの第1ビットは、現在のパケットの6パケット前に受信された26.67ミリ秒同期パケットの26番目ビットである。これらのタイミングの詳細は、制御装置62およびマイクロプロセッサインターフェース58により取扱われる（図5）。

リバースリンクチャンネルでは、576シンボルフレームは、

チップレートまでIB48にバーストされる。これは、内部CHIPX8クロックレートの1/8である。コードシンボルは、バッファ72にシーケンシャルに書込まれ、これは、18列×32行アレイとして考えられる。コードシンボルは、列毎に読出されそして書込まれる。すなわち、コードシンボルはそれらが書込まれたのと同じ順番でバッファ72から読出される。パケットの6番目のシンボルが受信された時、フルパケットが処理されるまで、各プロセスサイクルの間に、IB48はVD50に（単一のオリジナルデータビットを表している）3つで1組のコードシンボルを送り始める。リセット後および各バッファサイクルの終わりの後、復号器入力34上のDBR選択ビットは、内部クロックにより連続的にクロックされ、（示されていない）DBRコードレジスタに入力される。DECSYNCライン70上のストロブ信号においてDBR-13で終了する14ビットが、次のバッファサイクルに対するDBRCODEワードとしてラッチされる。これらのDBRCODEビット、DBR-0からDBR-13は、バス52を介してVD50に送られるフルレートシンボルから、反復バッファ78に書込まれるコードシンボルを選択するために使用される。一旦フルパケットが処理されると、反復バッファ78に残っている半分のサイズのパケットが同様に処理される。半分のサイズのパケットに対するコードシンボルがバス52を介してVD50に送られた時、DBRCODEにより選択されたそれらのシンボルは、4番目のサイズのパケットと

して、反復バッファに再度書込まれる。4番目のサイズおよび後続する8番目のサイズの packets が同様に処理される。

図8は、バッファ72からどの16スロット（行の対）が使用されるかを決定するために使用されるDBRCODEシンボル選択アルゴリズムを示している。フルレート動作に対して、すべての16スロット（32行）が送信される。しかしながら、より低いレートにおけるいくつかのスロットに対する送信時間の間は、送信機がオフにされる。例えば、4番目のレートが、第1の36コードシンボルとして、第1の4つのスロットの一つのみを送信する。コードシンボルは行毎に送信されるが、逆インターリーブ装置は、それらを列毎にSVD 20に送る。送信DBRアルゴリズムは、インターリーブ装置中の行をスキップするので、わずかなレートは、効果的により少ない行を有する。DBR 1/4レートに対して、バッファ72は、行の残りにおいて、8行のデータおよびノイズシンボルのみを含んでいる。リバースリンクトラフィックとは対称的に、リバースリンクアクセスチャンネル（図3E）は、リバーストラフィックチャンネルに対して約2.5dB利得を提供するために、2度反復されるコードシンボルを有する1/3畳込みコードレートの反復モードで動作する。送信DBRアルゴリズムは、上記に引用したギルハウゼン氏らの特許出願を参照するとより理解することができる。

図7に図示されている機能的な論理回路に加えて、IB48は、機能の自己テスト確認を許容するために、テスト論理回路も含んでいる。

この発明のビタビ復号器（VD）要素

図9は、VD50に対する機能ブロック図を提供している。これは、IB48からバス52に到着するコードシンボルを処理する。VD50は、品質情報とともにrdataライン56上に復号化ビットストリームを出力する。これらの機能は、図9に示されている6つのサブモジュールで実行される。DECMODEバス68からの2ビットは、DEC RATEライン84およびPACKETライン86上で、VD50の動作を制御する。シンボルメトリックテーブル（SMT）88に記憶されるデータテーブルは、バス52上の7ビットコードシンボルを、分岐メトリック論理回路90の訂正動作の適切な4ビットス

ケールに変換する、プログラマブルルックアップテーブルである。SMT88は、異なる動作モードを取扱うために必要な柔軟性を提供する。VD50への制御情報は通常、パケット処理コールの始まりにおいて設定され、トラフィック受信の間は変化されない。ライン84上のDECIMATE信号は、分岐メトリック計算にどのくらいのコードシンボルが含まれているのかを決定し、ライン86上のPACKET信号は、各パケットの始まりにおいて、状態メトリック値をクリアさせる。SMT 88の内容は、バス52上の4, 5, 6および7ビット入力コードシンボルを、内部SMTSYMバス92上の分岐メトリック論理回路90に対するスケール処理された4ビット出力コードシンボルに変換するために使用される。これらの変換は、より低いデータレートパケットに対してIB48に累積されたコードシンボルの2倍化、4倍化および8倍化の必要な補償を含む。バス52上の各コードシンボル入力は、SMT 88に対する低次のアドレスビットを提供し、このようなアドレスにおけるデータは、

バス92上をSMTSYM値として出力される。SMT 88は、反復およびDBRの両方のモードで、4つのレートのそれぞれに対して、別のデータを記憶する。

各パケットに対して、VD50は、ヤマモト品質メトリック (YQM) を表している品質ビットの追跡を続ける。各パケットサイズの最後のプロセスサイクルの最良状態（定義によればゼロ）に対する品質ビットは、YQMレジスタ93に記憶され、後にオリジナルデータ送信レートを決定する際に使用される。

シンボルエラーレート (SER) 論理回路94は、ERRORバス96上の各パケットに対してSERバイトを生成するために、入力 i および j シンボル硬判定を、再符号化出力データからのc0およびc1値と比較する。バス96上の値は、255で飽和され、後にオリジナルデータ送信レートを決定する際にも使用される。

SMT 88は、ランダムアクセスメモリ (RAM) と、RAMへの書込みアドレスおよび書込みストロブをマルチプレクスするためのロード制御論理回路とから構成されている。SYMBUFバス52上の7ビット入力シンボルは、SMTSYMバス92における出力シンボルとなる、4ビットデータ値に対するアドレスのLSBに対して使用される。psizeバス98上のpsize値は、RAMアドレスの2つのMSBを形成し、IB48により導入される累積合計を補償するために、異なるパケットに対して異なる変換を選

択することができる。

ビタビ復号器が動作するトレリスの分岐（図6 A）は、レート1/2コードに対して対（c0, c1）によって、レート1/3

畳込みコードに対して3つで1組のもの（c0, c1, c2）によってラベル付けされる。したがって、任意のASC動作の前に、レート1/2および1/3に対して、（c0, c1）に対する2つの可能性ある値または3つの可能性ある値（c0, c1, c2）のそれぞれに対する適当な分岐メトリックがそれぞれ計算されなければならない。これらの分岐メトリックは、以下の方程式1にしたがって計算される。例えば、各計算サイクルの間、分岐メトリック論理回路90は、BMETRICバス100上に、新しいメトリック対 R_{ijk} を発生させる。SMTSYMバス92上の入力シンボル（r2, r1, r0）と、タイミング制御回路104からhypバス102上に送信されたシンボル（c2, c1, c0）に対する仮定とからこれらは計算される。

$$R_{ijk} = \sum_{ijk} [(r_{x3} \oplus c_x) * (4 * r_{x2} + 2 * r_{x1} + r_{x0})]$$

[方程式 1]

ここで、 c_x は、ターゲットACS状態に対するバス102上のi, jおよびk仮定であり、 r_{x3} は、バス92上の各コードシンボルの符号であり、（ r_{x2}, r_{x1}, r_{x0} ）は、SMTSYMバス92上の各シンボルメトリックの3つのLSBである。

単一のオリジナルデータビットを表している、バス92上の3つのシンボルメトリックのそれぞれは、分岐メトリック論理回路90の（示されていない）1組の入力ラッチにストローブされる。バス100上に4ビット分岐メトリック対を提供するために、入力情報の2つ（または3つ）のコードシンボル

が、復号化レート1/2（または1/3）に対して変換される。バス92上の第3のシンボルは、DECRATEライン84が1/2の畳込みコード化レートを特定した場合にはゼロにされる。バス100上の分岐メトリック対は、加算比較選択（ACS）論理回路106に提供され、ここで、各ACS計算サイクルの間に、2つの分岐メトリックの1つ

が選択される。入力データについての各仮定に対して、バス100上の4ビット分岐メトリックが方程式1にしたがって計算される。4ビット分岐メトリックは、仮定の補数に対しても発生される。この公式において、コードシンボルの符号が仮定に一致する場合、コードシンボルの大きさは、 R_{ijk} メトリックに加算され、そうでなければ、メトリックにゼロが加算される。レート1/2分岐メトリック値は、ゼロから14の範囲に予測され、レート1/3分岐メトリックは、ゼロから15の範囲に予測される。ACS論理分岐メトリック加算器は15で飽和する。

SMT88から分岐メトリック論理回路90へのバス92上のシンボルメトリックは、符号—大きさのフォーマットで表現され、消去は、以下の典型的なルックアップテーブルにしたがったシンボル値により決定される。

レート 1/3 シンボルメトリック		レート 1/2 シンボルメトリック	
最強 1	0101	最強 1	0111
最弱 1	0001	最弱 1	0001
消 去	0000	消 去	0000
消 去	1000	消 去	1000
最弱 0	1001	最弱 0	1001
最弱 0	1101	最弱 0	1111

レート1/3に対する予測範囲の外側のシンボルメトリックが加算器をオーバーフローさせる場合、バス100上の分岐メトリックは15 (1111_2) で飽和する。

ACS論理回路106は、エネーブルされている計算サイクル毎の間に、バス100上の入力分岐メトリックを処理する。ACS論理ブロック対108は、内部バス112上に

判定ビット対を、また別の内部バス114上に新しい状態メトリック対を生成するために、バス100上の4ビット分岐メトリックと状態RAM110からの5ビット状態メトリックとを処理する。ACS対108

のそれぞれへ入力された最良の前の状態のLSBである、バス112上の判定ビットは、8ビット出力ラッチ116にシフトされる。4つの判定対ごとの8ビット判定バイトは、判定バス118上をチェーンバック論理回路120へ出力される。

各パケットに対する最初の処理の間に、ゼロ状態に対するメトリックはゼロにセットされ、他のすべてのメトリックは、状態RAM110から読出された時に、それらの飽和値に設定される。バス118上の判定とバス122上の最良状態は、パケットモードで、各フレームの最初の8プロセスサイクルに対してゼロにされる。新しい状態メトリック、前の状態メトリックの最小合計、およびリンク分岐メトリックは、MSBからLSBまで現在の状態をシフトすることにより計算された位置で、状態RAM110に書き戻される。ゼロ仮定判定は、等しいメトリックに対して選択される。状態ゼロに対する新しいメトリックは、各プロセスサイクルの始まりに最良状態ラッチ124に書込まれる。現在のプロセスサイクルの他のすべての新しい状態メトリックは、ラッチ124中の現在の最良状態と比較され、より小さいメトリックが、ラッチ124中の現在の最良状態メトリックと置換する。現在のプロセスサイクル中に状態RAM 110から読出される時に、前のプロセスサイクルからの最良状態メトリックは、各状態メトリックから減算される。ACS論理回路106は、4つすべてのコードシンボルパケットが処理されるまで、メトリックを累算し正規化し続ける。

ヤマモト品質メトリック (YQM) すなわち“qbit”は、各状態メトリックに付けられる。最初のIBプロセスサイクルの間

に、最初の状態ゼロに対するYQMビットは、「良い」すなわち真 (0) に設定され、他のすべてのYQMビットは、「悪い」すなわち偽 (1) に設定される。選択された前の状態メトリックに対するYQMビットが偽であったか、またはACS計算中のメトリック差が、品質しきい値レジスタ (図11のMUX 216参照) 中で特定され

る予め定められた品質しきい値 (QT) 値より少ないか等しいならば、ACS論理回路106により計算されたそれぞれ新しい状態メトリックに対して、YQMビットは偽(1)に設定される。

この発明の重要な要素は、復号化処理中に生成され、3つのタイプの品質情報を含む、1組の「エラーメトリック」である。いくつかのデータレート仮定(例えば、9600, 4800等)に対して、SVD 20は、1以上の独立した品質メトリック要素を生成する。これらは、巡回冗長検査 (CRC) の結果、シンボルエラーレート (SER) およびヤマモト品質メトリック (YQM) を含む。YQMは、ここでは“qbit”としても表される。いくつかのエラーメトリックは、低いデータレートでは省略される。CRCおよびSERメトリックは、技術的によく知られている。YQMメトリックは、上記に引用したヤマモト氏らの論文および図11に関連した以下の論議を参照すると理解することができる。エラーメトリックは、上記に引用したバトラー氏の特許出願に開示されている方法を使用して、最も可能性のあるオリジナル送信データレートを選択するために使用される。

復号化シンボルデータは、各データレート仮定に対して生

成され、0B54に記憶される。各仮定に対するフレームデータは、3つの品質メトリック要素を含む。CRC要素は、ここでは、図10に関連して以下に論じられる。SER要素は、ここでは、図9のSE 140に関連して以下に論じられる。図11は、YQMビットを生成するACS対108の一部のブロック図を示している。

図6 Bに戻ると、第1の2つの可能性ある0x状態メトリックを決定するために、状態x0から状態0xへの分岐メトリックは、x0状態メトリックに加算される。第2の可能性ある0x状態メトリックは、状態x1からの分岐メトリックをx1状態メトリック値に加算することにより見出だされる。これらの2つの可能性ある値の最小のものは、新しい0x状態メトリック値として割当てられる。このプロセスは、1x状態に対して、また、そのトレリス列における他のすべての状態に対して、反復される。YQMビットは、2つの0x状態メトリック値間の差が、予め定められた品質しきい値 (QT) より少ないか、または、予め定められたQTより少ない他の状態に続くかを示しているラベルである。図11において、ACS0x0状態のLSBは、ラ

イン210上に提供され、ACS0x1状態のYQMビットはライン212上に提供される。QTしきい値グループ214は、複数の4ビットバス上を、マルチプレクサMUX 216に提供される。psizeバス218は、現在の送信データレート仮定に依存して、QTグループ214の一つを選択する。この発明の重要な要素は、グループ214の品質しきい値(QT)のそれぞれが、プログラマブルであり、異なる動作モードに対して調節するために、

独立的にまたはともに調整することができることである。異なるレート仮定は、異なるQTを有しているので、MUX 216は、グループ214の別のQT要素間をスイッチする。

図11で続けて説明すると、2つのACS状態メトリック間の差は、計算されて、バス220上を4方向XORゲート222に提供される。ライン224上の判定ビットは、マルチプレクサMUX 226中の2つのメトリックの最も可能性があるものを選択し、バス220上のMETHODIFをエネーブルするための使用される。ライン228上のMUX 226からの出力は、バス210および212から選択された状態メトリックビットを表している。出力ライン228は、ライン234上にYQMビットを生成するために、ライン232上の比較器230からの出力とオア処理される。比較器230は、(XORゲート222で符号を調整した後に) グループ214から選択されたQTを、バス220上の状態メトリック差と比較する。YQMビット234は、YQMレジスタ93に向けられる(図9)。

YQMビットは、ビタビトレリス(図6A)中の現在の状態に対して、この方法で生成される。YQMの生成は、ビタビトレリスの任意の一つの状態中の「悪い」YQMビットを、判定ツリーを介して前方へ伝播させる特性を有している。YQMビット234は、2つの入ってくる状態メトリックの差が選択されたQT値より大きいかまたは小さいかを示すラベルである。この差がQT値より大きいならば、YQMビットは、前の状態からのYQMビットに設定される。差が選択されたQTより小さいならば、新しい状態のYQMビットは、「悪い」すなわち“1”

に設定される。任意のレート仮定の復号化動作の始まりにおいて、ゼロビタビトレリス状態が、「良い」YQMビット(“0”)にラベル付けられ、他のすべてのトレ

リス状態が、「悪い」YQMビットにラベル付けられる。レート仮定の復号化手続の最後において、フレームは、最後のゼロ状態に対するYQMビットにしたがって、「良い」または「悪い」のいずれかにラベル付けられ、これは、レジスタ93に記憶されて、ACS論理回路106（図9）から出力される。各ボコーダフレームが8つのゼロ（00000000）のストリングで終わるので、復号器は、フレームに対する正しい終了状態がゼロ状態であることを知っている。

チェーンバック論理回路120は、それぞれ256判定ビットである64ワードを有するパスメモリ126を含んでいる。パスメモリ126は、4計算サイクル毎に、2度読出されて、1度書込まれる。したがって、チェーンバック論理回路120は、プロセスサイクル毎に、256ビットを、単一のパスメモリワードに書込み、64のそのようなパスメモリワードのそれぞれからビットを読出すことができる。チェーンバック論理回路120は、マルチプレクサ128、アドレス発生装置130および複数のデータラッチ132を含んでいる。アドレス発生装置130は、書込まれるワードのアドレスを決定し、プロセスサイクルの第1のチェーンバック読出しは、前の書込みワードにおいて開始する。

チェーンバックプロセスは、自己決定シーケンスでパスメモリ126に書込みそして読出すことにより実行される。読出

しアドレスの8つのLSBは、バス118上の最も遅い判定ワードに対するバス122上の最良状態で開始する。このビットアドレスは、（最良状態入力がゼロにされるので）最後のワードに対して、（判定および最良状態入力がそこでゼロにされるので）各ブロックサイクルの最初の8ワードに対して、ゼロである。各ワード読出しに対するビットアドレスで記憶された判定は、次の読出しワード中のビットアドレスに対するLSBとして、読出しアドレスにシフトされる。判定ワードへのビットアドレスを形成する読出しアドレスの8つのLSBは、MSB（8番目のビットアドレス）をLSB位置へ移動させるために、1ビットだけ回転される。この回転は、ACS対108による判定の順番を補償する。アドレス発生装置130は、パスメモリ126中の最も新しいものから最も古い判定ワードへチェーンバックするために、各読出しの後に、ワードアドレスをデクリメントする。63番目の読出し時の

判定ビットは、内部ビットライン134上をデータラッチ132へ出力されるビット出力である。フルデータレートに対して192サイクル、半分のデータレートに対して96サイクル、4分の1のデータレートに対して48サイクル、8分の1のデータレートに対して24サイクルを含んでいる、432プロセスサイクルを通して、各フレームは処理される。

チェーンバック動作は、上記に説明した最良状態制御を除いて、パケットおよび連続モードの両方で同じ機能を実行する。（前のように）ライン134上の出力ビットは、rdataライン56上でチェーンバック論理回路120から出力される。

シンボルエラーレート（SER）論理回路94は、rdataライン56上の出力データストリームを再符号化し、再発生されたコードシンボルを、復号入力ライン34上でSVD 20に受信されたコードシンボルと比較する。SYMSTBライン80上のストロブ信号は、バス92上を先入れ先出し（FIFO）136に送られる各シンボルメトリックの符号ビットr3をクロックし、これは、VD50中のパイプラインおよびチェーンバック遅延を補償する。符号器138およびエラーカウンタ140は、ライン56上を符号器138中の9ビットシフトレジスタに送られる各ビットのクロック処理を行う前に、各フレームの始まりにおいてリセットされる。比較しないコードシンボルの数は、8ビットエラーカウンタ140でカウントされ、このカウンタは255で飽和する。カウンタ140からの出力は、SERR0Rバス96で0B54に供給され、ここで、シフトされて適当なレジスタにラッチされる。

タイミング制御論理回路104は、INBUFRDYライン66上で信号を受信した時にVD50の動作を開始し、VD50の他の要素間のタイミングを調整する。論理回路104は、SMT 88を通して分岐メトリック論理回路90およびSER論理回路94へ送られるデータをクロックするために、SYMSTBライン80上に2つのストロブ信号（または、レート1/3に対して3つ）を発生する。各計算サイクルの間に、VD50は、ACS対108で、hypバス102上の一つの仮定に対する現在のオリジナルデータビットシンボルを処理する。プロセスサイクルは、ACS状態毎に対する各ビットシンボルを処理するために、128計算サイクルを

含んでいる。この実施例に対する畳込み符号器の束縛長は9であるので、（各トレリス列中の）オリジナルデータビットシンボル毎に対して、 $2^9-1=256$ 状態がある。タイミング制御論理回路104中の状態シーケンスカウンタは、256状態（計算サイクル当たり2）を通してカウントし、STATESEQバス142上にカウントを提供する。タイミング制御論理回路104中の他の要素は、hypバス102上に仮定を発生させるために、状態レジスタの内容を符号化する。（a）ACS処理および論理回路106をアイドル状態にし、（b）第1のプロセスサイクル中にACS対108への状態メトリック入力をゼロにし、（c）最良状態が保存されるように、各プロセスサイクルの終わりでフラグを立て、そして（d）計算サイクル毎に対して判定ラッチ116をエネーブルするために、他の制御信号は、ACSSTATEバス144上に提供される。

タイミング制御論理回路104は、パスメモリ126に対する読出しおよび書込みアドレスを決定し、これらをそれぞれアドレスバス146および148上へ提供する。論理回路104中の（示されていない）11ビットカウンタは、バス118上に各判定バイトに対する書込みアドレスを発生させるために、各書込みでインクリメントされる。バス118上の判定バイトの32の書込みの一つは、プロセスサイクル中の4計算サイクル毎に生じる。読出しストロークを発生させ、書込みストローク間に2度アドレスをデクリメントする同じ論理回路により、バス146上の読出しアドレスの6つのMSBが発生される。バス146上の読出しアドレスのLSBをロードし、シフトし、ゼ

ロにするために必要な制御信号は、論理回路104内のタイミングから生成される。同じタイミングは、チェーンバック論理回路120およびSER論理回路94の動作を調整するためのRSTBライン150上のRSTBストローク信号も決定する。タイミングおよび制御論理回路104は、SER94内のエラーカウンタ140をリセットしエネーブルするタイミング信号も発生させる。この発明の出力バッファ（0B）

図10は、出力バッファ（0B）54を図示している機能ブロック図を示している。rdataバス56上の復号化データは、変換装置論理回路152でバイトに変換されて、バッファ154に記憶される。変換装置152は、通常の方法で、パケットCRCコード

もチェックする。パケットおよびパケットに対する状態バイトは、INTDライン156上をマイクロプロセッサインターフェース58に送られる割込みの発行で始まる約10ミリ秒に対して、DEC DATAバス60でマイクロプロセッサインターフェース58に利用可能である。パケットに対するCRCチェックの結果は、（示されていない）状態レジスタに記憶される。パケットサイズに依存して、変換装置152により使用されるCRC多項式は以下のようにパケットサイズに依存する。

パケットサイズ	C R C g(x)
24ビット	な し
48ビット	な し
96ビット	CRC $x^8 + x^7 + x^4 + x^3 + x + 1$
192ビット	CRC $x^{12} + x^{11} + x^{10} + x^9 + x^8 + x^4 + x + 1$

使用されるCRCは、 $g(x) = p(x) * (x+1)$ の形態で、既知の良好な基本多項式であり、211₈ (89₁₆) および5361₈ (AF1₁₆) が $p(x)$ に対して使用される。CRCチェック処理に対して使用される変換装置152内の論理回路は、技術的によく知られており、XORゲートを介して累積されるタップ出力を有し、CRC多項式にしたがってタップされているシフトレジスタから構成されている。

パケットモードで4度、または連続モードで1度、フレームが処理された、4つすべてのレートに対するデータが、0B54に書込まれた時、ライン156上の割込みは、真(1)に設定される。SVD 20は、実際のデータレートおよびパケットサイズに関係なく、各パケットモードフレームに対して同じ432プロセスサイクルシーケンスを通してシーケンス処理を行

う。したがって、ライン156上の割込みは、ライン64上の入力コードシンボルス
トロープに関して固定された遅延時間で発生する（図7）。連続モードでは、固
定遅延時間は、実際のパケットサイズに依存する。ライン156上のINTD割込みは
、7内部CHIPX8クロックサイクル後に、自動的にリセットされる。（示されてい
ない）マイクロプロセッサは、出力データを読出さなければならない時に、これ
を示すために、この割込み信号またはフレームタイミングを使用することができ
る。バッファ154は、パケットのフルセット用の十分な記憶空間を含んでおり、
これにより、マイクロプロセッサインターフェース58を介して読出される出力デ
ータに対して、約10ミリ秒の少ない処理時間のフレーム時間を許容する（図5）
。送信符号器がゼロ状態にプリセットされフラッシュされていると仮定して、SV
D 20はバスモードで動作するので、各パケットの最後の8ビットは、パケットモ
ードではゼロである。バッファ154内の（示されていない）DECDATAレジスタは、
各読出しの後に、バッファ154からの次のバイトで自動的に更新される。次のバ
イトに対するマイクロプロセッサの待ち時間を最小にするために、データはプリ
フェッチされるが、プリフェッチは、少なくとも4内部CHIPX8クロックサイクル
を必要とする。4内部CHIPX8クロックサイクル毎に一度より早く、マイクロプロ
セッサがOB54を読出すことができるならば、マイクロプロセッサは、出力ワード
が2度読出されないことを確実にするために、BYTERDYバス158上のBYTERDY
信号をテストしなければならない。出力データに含まれている

品質情報（「エラーメトリック」）は、上記に引用したバトラー氏らの特許出願
の方法にしたがって、OB54中で利用可能な4つのものから最良のパケットを選択
するために、マイクロプロセッサにより使用することができる。

変換装置152は、8プロセスサイクル毎にバッファ154に対してデータバイトを
供給する。次のプロセスサイクルの始まりにおいて、データは、内部バス160を
介してバッファ154に転送される。各データビットがライン56上で受信される時
、変換装置152内の（示されていない）CRC発生装置に記録される。このCRC発生
装置は、各パケットの始まりにおいて、すべて1にリセットされる。96および19
2ビットパケットの終わりにおいて、CRCの残りがチェックされ、残りがすべてゼ

ロであれば、（示されていない）STATUSレジスタのCRCビットがセットされる。INTDライン156上の割込みが発行される前で各読出しの後に、読出しデータは、プリフェッチされる。INTD割込みがライン156上に発行される時、読出しアドレスポインタは、アドレスゼロに設定される。ライン158上のBYTERDY信号は、各読出しの後にゼロに設定され、新しいデータバイトがバッファ154内の（示されていない）DECDATAレジスタにラッチされるまで保持される。OB54は、適当な機能に対する自己テストを許容するためにテスト論理回路も含んでいる。

この発明の制御装置およびプロセッサインターフェース要素

図5を参照すると、制御装置62は、SVD 20に対してタイミ

ングおよび制御ストロブを提供する。SVD 20は、内部CHIPX8クロックレートで動き、制御装置62は、この内部クロックレートに基づいて、一連のストロブおよびエネーブル信号を提供する。これらの制御信号は、テスト目的用のリセットにより初期化することができるが、通常の動作では、バス68上のDECMODE信号に応答する固定された1組の動作を通してシーケンス処理し、そしてアイドル状態になる。制御信号シーケンスは、ライン70上の各復号器同期ストロブの後に、再度始まる（図7）。有効チェーンバックデータを示しているチェーン有効信号は、ライン150上のRSTBストロブをエネーブルするように動作し、これは、OB54へのデータ転送を初期化する。制御装置62およびマイクロプロセッサインターフェース58は、適切な動作に必要な、ピン制御回路およびリセットレジスタを含んでいるマイクロプロセッサ制御レジスタを含んでいる。特別な自己テスト論理回路もこれらの2つの要素に含まれている。

SVD 20の上記に説明された要素のそれぞれに対する内部モジュールの実際の構成は、技術的に知られている任意の有用な方法で実施することができるが、単一のモノリシック集積回路チップで実施することが好ましい。

この説明の教示、例、および実施例は、所望の目的を達成するためにシリアル処理を仮定したが、送信システムにあるデータレートと同じ多くの出力を提供するように同時に動作する多重パラレル復号器で、復号器論理回路を繰返し使用することができることは当業者に明白である。

この発明は、例えば、システムが考慮する要求と同じだけ多くのデータレートに対して、周期的な冗長性コード化を使用することにより、変更することができる。

明らかに、本発明の他の実施例および変形は、これらの技術の観点により当業者にとって容易に成し得るものである。したがって、この発明は、上記の明細書および添付した図面と関連して見た時のこのような実施例および変形をすべて含んでいる以下の請求の範囲によってのみ制限される。

FIG. 1

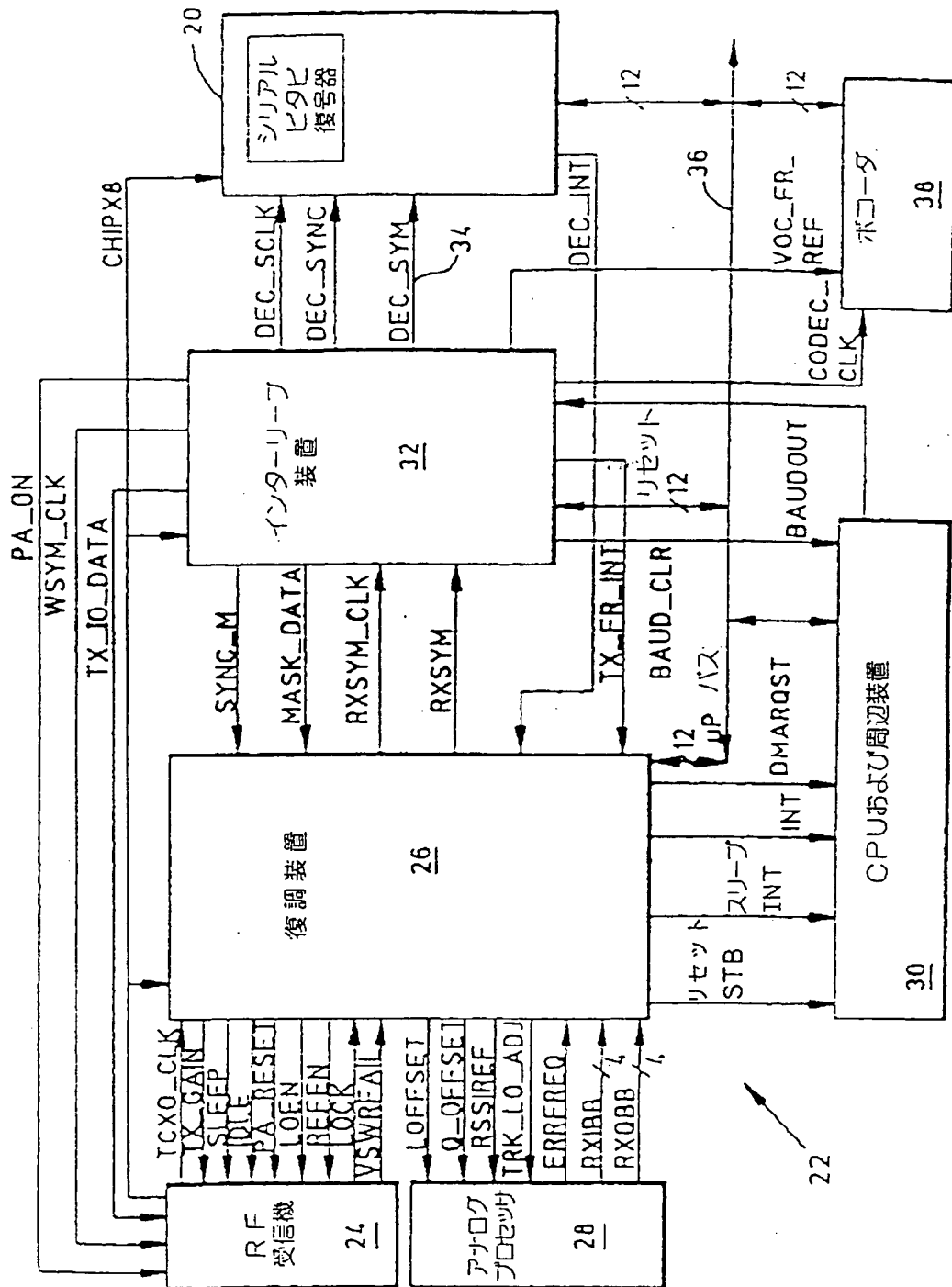


FIG. 2

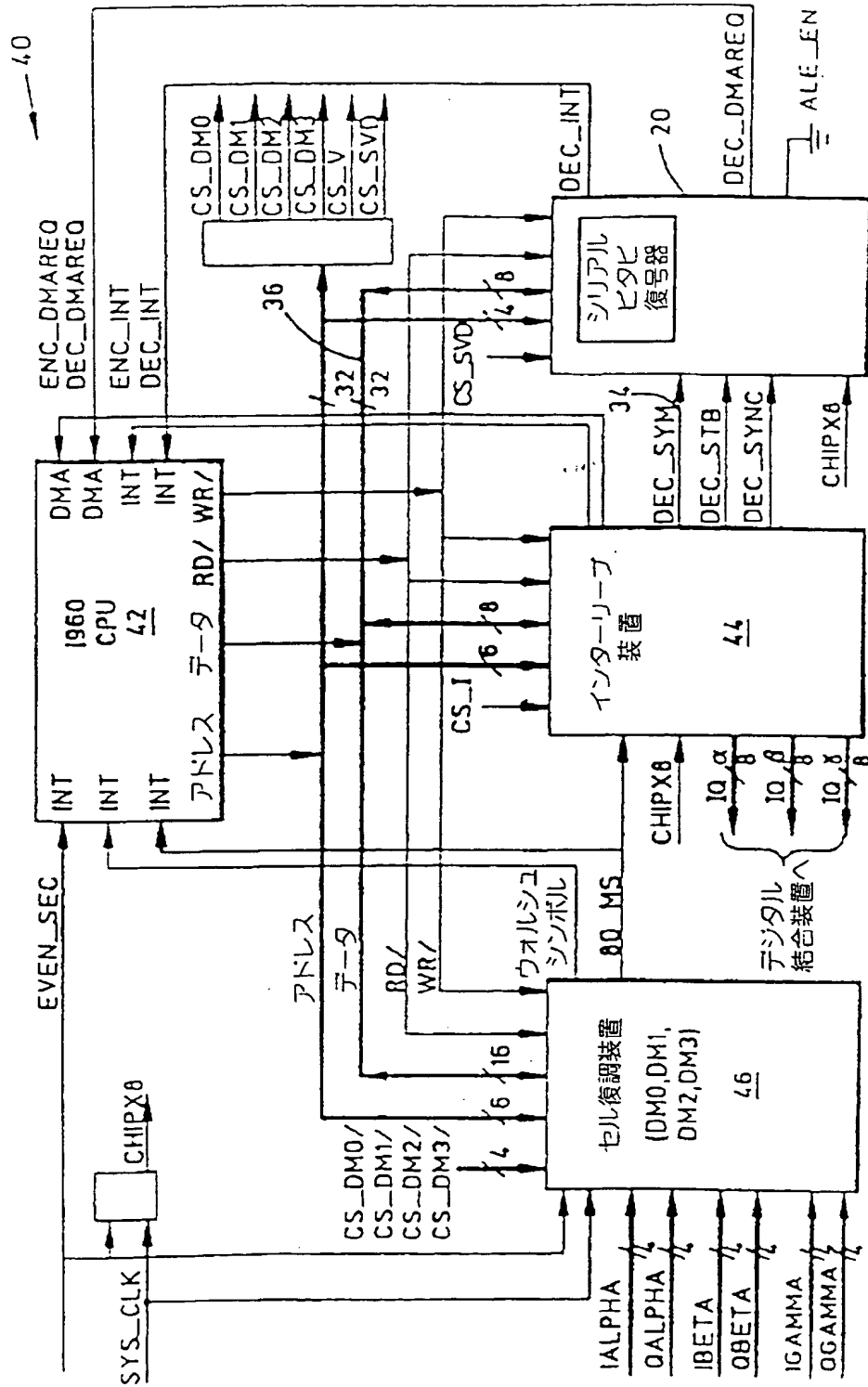


FIG. 3A

パラメータ	データレート(bps)	
	1200	単位
PNチップレート	1.2288	Mcps
コードレート	1/2	ビット/コードシンボル
コード反復率	2	変調シンボル/コードシンボル*
変調シンボルレート	4,800	SPS
PNチップ/変調シンボル	256	PNチップ/変調シンボル
PNチップ/ビット	1024	PNチップ/ビット

* コードシンボルの各反復率は変調シンボル

FIG. 3B

パラメータ	データレート(bps)				単位
	9600	4800	2400		
PNチップレート	1.2288	1.2288	1.2288		Mcps
コードレート	1/2	1/2	1/2		ビット/コードシンボル
コード反復率	1	2	4		変調シンボル/コードシンボル*
変調シンボルレート	19,200	19,200	19,200		SPS
PNチップ/変調シンボル	64	64	64		PNチップ/変調シンボル
PNチップ/ビット	128	256	512		PNチップ/ビット

* コードシンボルの各反復率は変調シンボル

FIG. 3C

パラメータ	データレート(bps)				単位
	9600	4800	2400	1200	
PNチップレート	1.2288	1.2288	1.2288	1.2288	Mcps
コードレート	1/2	1/2	1/2	1/2	ビット/コードシンボル
コード反復率	1	2	4	8	変調シンボル/コードシンボル*
変調シンボルレート	19,200	19,200	19,200	19,200	SPS
PNチップ/変調シンボル	64	64	64	64	PNチップ/変調シンボル
PNチップ/ビット	128	256	512	1024	PNチップ/ビット

* コードシンボルの各反復率は変調シンボル

【図3】

FIG. 3D

パラメータ	データレート (bps)				単位
	9600	4800	2400	1200	
PNチップレート	1.2288	1.2288	1.2288	1.2288	Mcps
コードレート	1/3	1/3	1/3	1/3	ビット/コードシンボル
TXデューティサイクル	100.0	50.0	25.0	12.5	%
コードシンボルレート	28,800	28,800	28,800	28,800	SPS
変調	6	6	6	6	コードシンボル/ウォルシュシンボル
ウォルシュシンボルレート	4800	4800	4800	4800	SPS
ウォルシュチップレート	307.20	307.20	307.20	307.20	Kcps
ウォルシュシンボル	208.33	208.33	208.33	208.33	μs
PNチップ/コードシンボル	42.67	42.67	42.67	42.67	PNチップ/コードシンボル
PNチップ/ウォルシュシンボル	256	256	256	256	PNチップ/ウォルシュシンボル
PNチップ/ウォルシュチップ	4	4	4	4	PNチップ/ウォルシュチップ

FIG. 3E

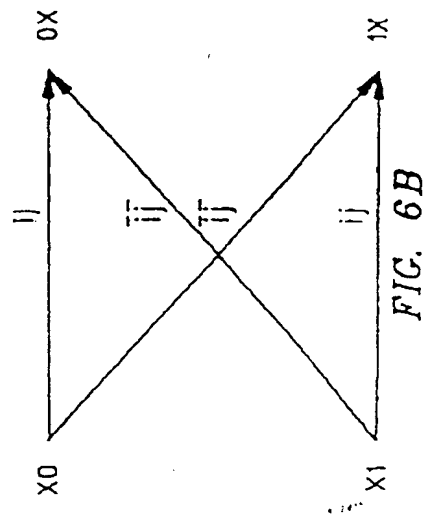
パラメータ	データレート(bps)	単位
PNチップレート	1,2288	Mcps
コードレート	1/3	ビット/コードシンボル
コードシンボル反復率	2	シンボル/コードシンボル
TXデューティサイクル	100.0	%
コードシンボルレート	28,800	SPS
変調	6	コードシンボル/ウォルシュシンボル
ウォルシュシンボルレート	4800	SPS
ウォルシュチップレート	307.20	Kcps
ウォルシュシンボル	208.33	μs
PNチップ/コードシンボル	42.67	PNチップ/コードシンボル
PNチップ/ウォルシュシンボル	256	PNチップ/ウォルシュシンボル
PNチップ/ウォルシュチップ	4	PNチップ/ウォルシュチップ

【図 4】

FIG. 4

制御信号	フワード			リバース	
	周期	ベージング	トラフィック	トラフィック	アクセス
変調コード シンボルレート	4,800	19,200	19,200	28,800	28,800
オリジナルビット データレート	1200	固定	1200-9600	1200-9600	4800
増込みコードレート	1/2	1/2	1/2	1/3	1/3
シンボル反復率	2	1,2, or 4	N/A	N/A	2
コードモード	連続	連続	バケット	バケット	バケット
送信モード	反復	反復	反復	単一バースト	反復
シンボル#における スタート復号	2	2	2	8	8
図	3A	3B	3C	3D	3E

【图6】



【図6】

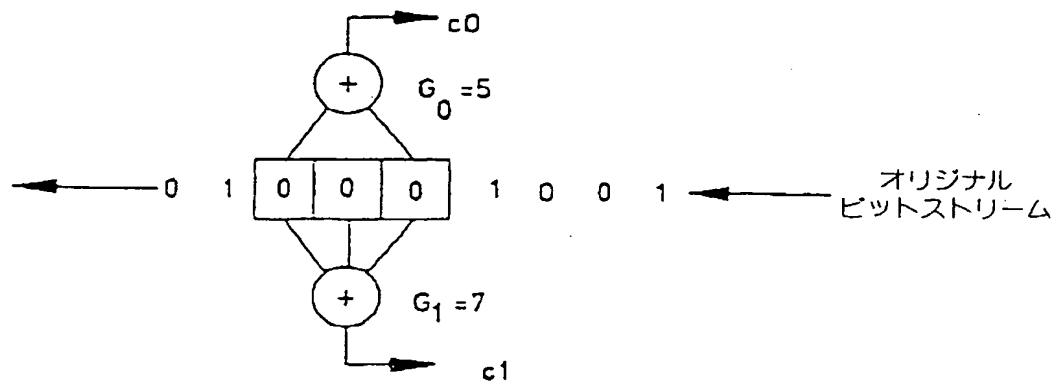
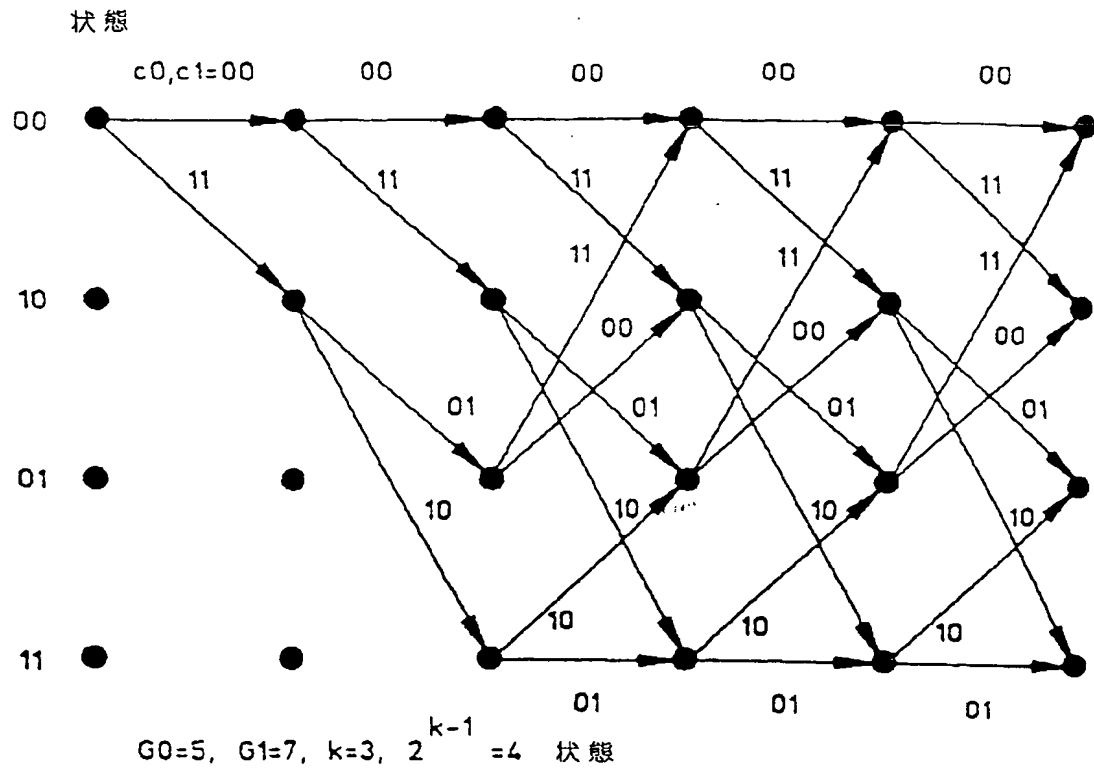


FIG. 6A

【図 5】

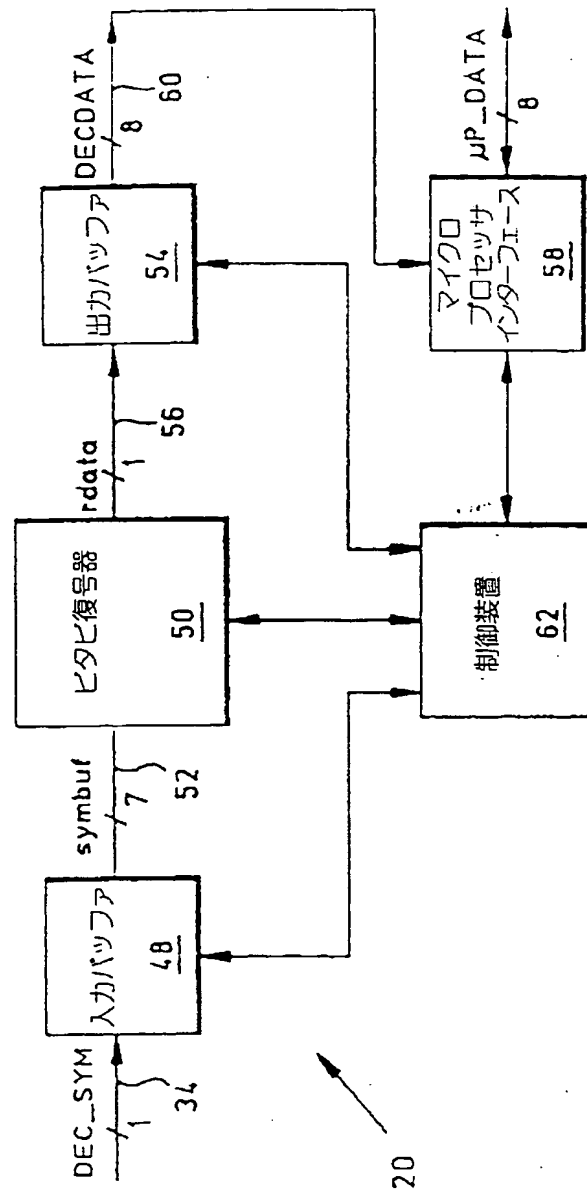


FIG. 5

【図7】

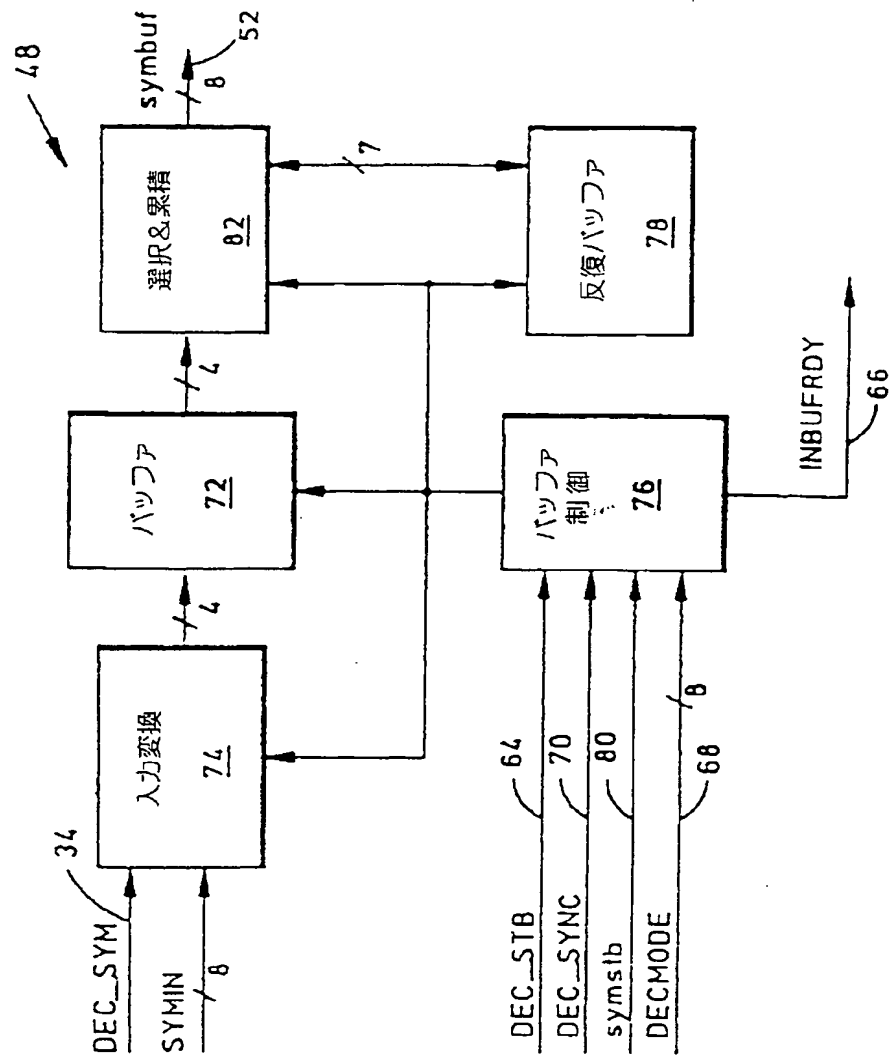


FIG. 7

【図 8】

DBR レート	DBR ビット	選択された行	
DBR ビット値 →		0	1
1/2	DBR0	0,1	2,3
1/2	DBR1	4,5	6,7
1/2	DBR2	8,9	10,11
1/2	DBR3	12,13	14,15
1/2	DBR4	16,17	18,19
1/2	DBR5	20,21	22,23
1/2	DBR6	24,25	26,27
1/2	DBR7	28,29	30,31
1/4	DBR8	DBR0	DBR1
1/4	DBR9	DBR2	DBR3
1/4	DBR10	DBR4	DBR5
1/4	DBR11	DBR6	DBR7
1/8	DBR12	DBR8	DBR9
1/8	DBR13	DBR10	DBR11

FIG. 8

【図9】

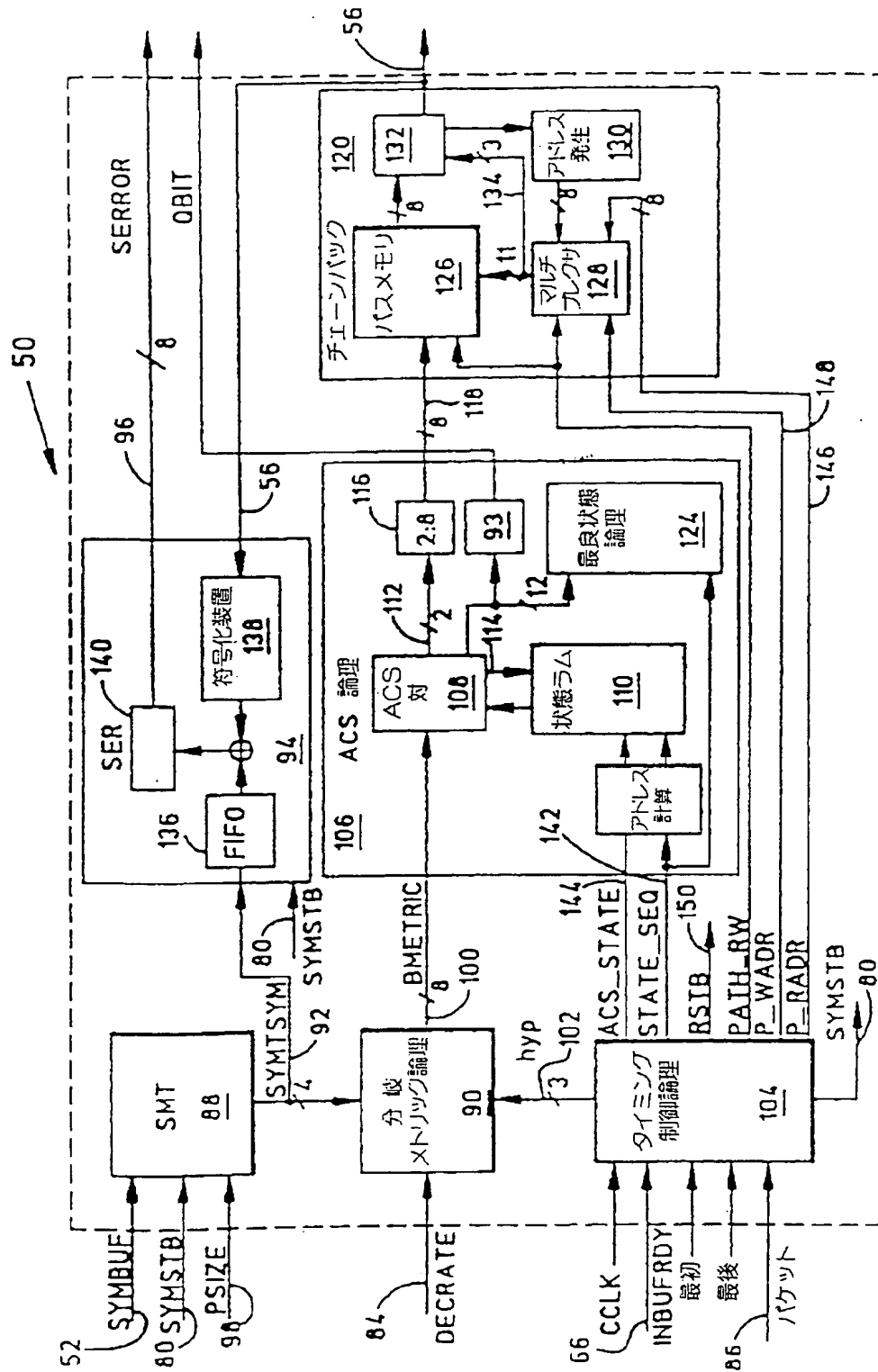


FIG. 9

【図10】

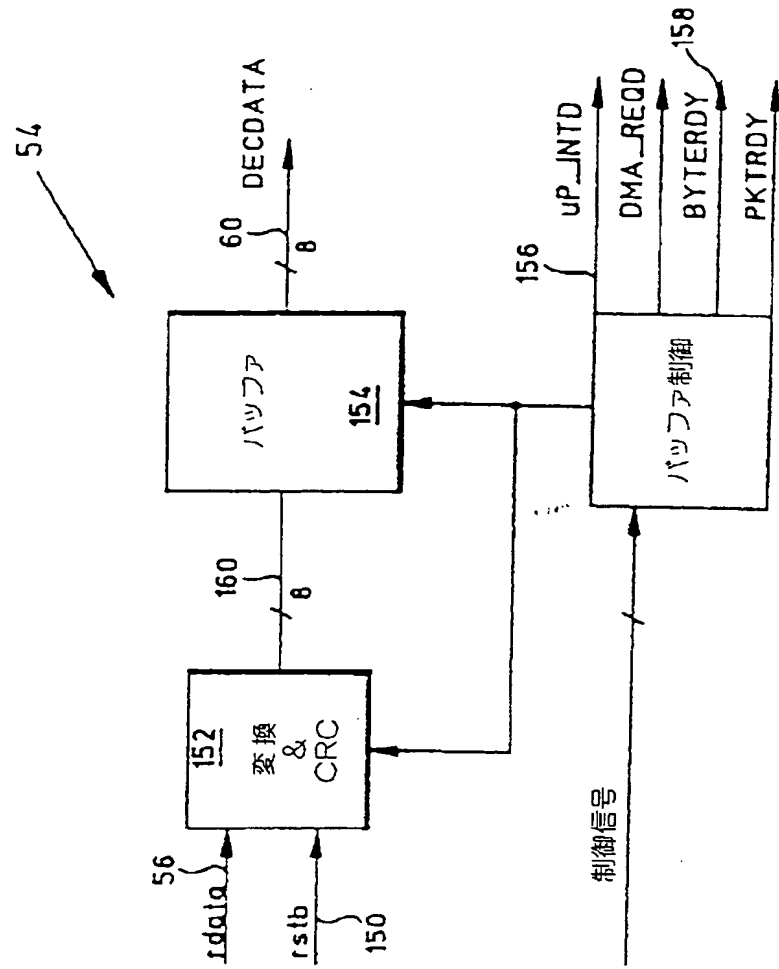
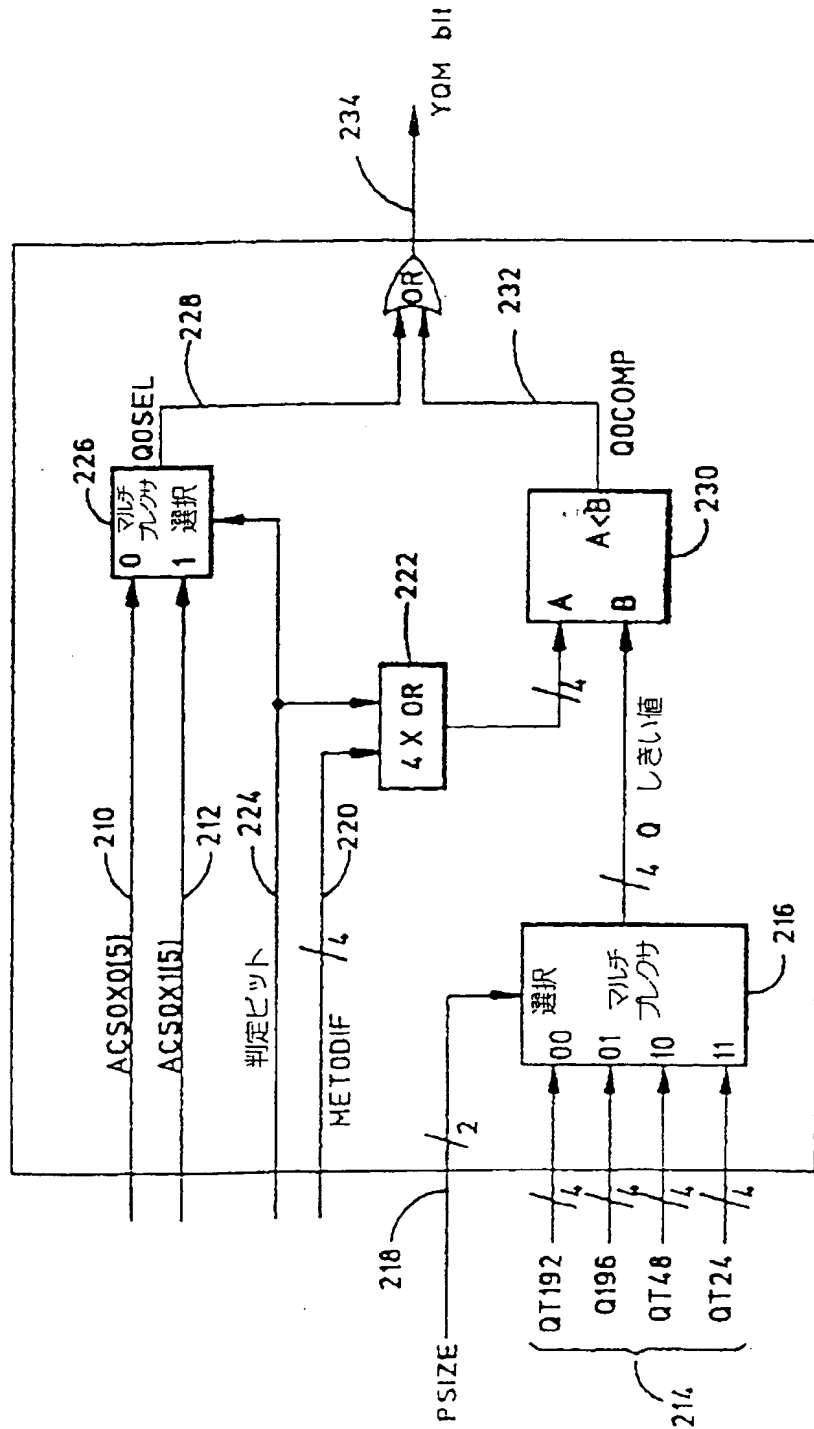


FIG. 10

【図 11】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Appl. No. PCT/US 94/10774	
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H04L25/02 H04L1/12 H04L1/20 H04B1/707 H04B7/26 H04L25/03 H03M13/00	
According to International Patent Classification (IPC) or to both national classification and IPC	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H04L H04B H03M	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)	
C. DOCUMENTS CONSIDERED TO BE RELEVANT	
Category *	Citation of document, with indication, where appropriate, of the relevant passages Relevant to claim No.
A	WO,A,93 14588 (QUALCOMM INC.) 22 July 1993 see page 1, line 29 - page 2, line 11 see page 3, line 22 - line 10; table I see page 5, line 17 - line 20 see page 5, line 24 - page 6, line 28 see page 18, line 33 - page 19, line 31; figures 1,2,4 --- -/--
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.	
<input checked="" type="checkbox"/> Patent family members are listed in annex.	
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family	
Date of the actual completion of the international search	Date of mailing of the international search report
23 January 1995	31.01.95
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 cpo nl, Fax (+31-70) 340-3016	Authorized officer Gries, T

Form PCT/ISA, 210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Int. Application No.
PCT/US 94/10774

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US,A,4 991 184 (HASHIMOTO) 5 February 1991</p> <p>see abstract; claims; figures see column 1, line 20 - line 33 ---</p>	<p>1,2,5-8, 13,15, 16,19, 22,23, 26-28, 30,34, 40,42, 45,47, 51,57</p>
A	<p>IEEE TRANSACTIONS ON INFORMATION THEORY, vol.IT-26, no.5, September 1980, NEW YORK US pages 540 - 547 H. YAMAMOTO / K. ITOH: 'Viterbi Decoding, Algorithm for Convolutional Codes with Repeat Request.' cited in the application see page 541, left column, paragraph 3 - right column, paragraph 2 ---</p>	<p>2,12,15, 16,19, 22,23, 28,30, 34,40, 45,47, 51,57</p>
A	<p>COMMUNICATION SYSTEMS: TOWARDS GLOBAL INTEGRATION. ICCS '90, SINGAPORE, SG, 05.-09.11.90, vol.2, 5 November 1990, AMSTERDAM, NL, 1990 pages 886 - 890 W.C. WONG / N. SEHSHADRI / C.-E.W. SUNDBERG: 'Combined Source and Channel Coding of Subband Coded Speech with Post-Enhancement.' see page 886, left column, paragraph 1 see page 886, right column, paragraph 3 see page 888, left column, paragraph 2 ---</p>	<p>2,15,16, 19,22, 23,28, 30,34, 40,45, 47,51,57</p>
A	<p>IEEE TRANSACTIONS ON INFORMATION THEORY, vol.37, no.6, November 1991, NEW YORK US pages 1649 - 1657, XP235403 C.N. GEORGHIADES / M. MOENECLAAY: 'Sequence Estimation and Synchronization from Nonsynchronized Samples.' see page 1649, right column, line 43 - line 55 see page 1651, right column, paragraph 6 - page 1652, right column, paragraph 1 ---</p>	<p>1,8,13, 26,42</p>
A	<p>EP,A,0 544 315 (NEC CORPORATION) 2 June 1993 see abstract; claim 1; figure 1 ---</p>	<p>1,8,13, 26,42</p>

-/-

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 94/10774

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>EP,A,O 413 505 (AMERICAN TELEPHONE AND TELEGRAPH COMPANY) 20 February 1991 see abstract see column 4, line 1 - line 29 see column 16, line 1 - column 17, line 42 see column 18, line 51 - column 19, line 18; claims; figures 5,8 -----</p>	<p>1,8,13, 26,42</p>

Form PCT/ISA-210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

 International Application No.
 PCT/US 94/10774

Patent document cited in search report	Publication date	Patent (family member(s))	Publication date
WO-A-9314588	22-07-93	AU-B- 3476793	03-08-93
		CA-A- 2128327	22-07-93
		EP-A- 0621998	02-11-94
		FI-A- 943410	16-09-94
		NO-A- 942670	16-09-94

US-A-4991184	05-02-91	JP-A- 2162944	22-06-90
		JP-B- 6026343	06-04-94

EP-A-0544315	02-06-93	JP-A- 5152975	18-06-93
		CA-A- 2083749	28-05-93

EP-A-0413505	20-02-91	CA-A- 2020899	19-02-91
		JP-A- 3088517	12-04-91
		US-A- 5208816	04-05-93

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN

(72) 発明者 ゼハビ、エフレイム

アメリカ合衆国、カリフォルニア州

92014、デル・マー、レキュエルド 14170

(72) 発明者 ウルフ、ジャック・キール

アメリカ合衆国、カリフォルニア州

92037、ラ・ジョラ、プレストウィック・

ドライブ 8529

【要約の続き】

リシステムプロセッサが適切な復号化データパケットを検査し選択することが可能になる。復号器(50)は、いくつかの予め定められた畳込み符号化アルゴリズムの任意の1つで動作するように再構成することもできる。単一のモノリシック集積回路として構成されるビタビ復号器(20)は、多くの異なる多重ユーザ電気通信チャンネルの任意のものおよびすべてで使用することができる。